

5/P/Papers
Lewis
10/19/00

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Isao AMEMIYA

Appln. No.: 09/606,679



Group Art Unit: 2881

Filed: June 30, 2000

Examiner: Unknown

For: ELECTRON BEAM DRAWING MASK BLANK, ELECTRON BEAM DRAWING MASK, AND METHOD OF MANUFACTURING THE SAME

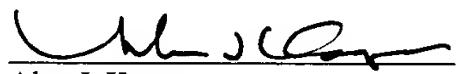
SUBMISSION OF PRIORITY DOCUMENTS

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Submitted herewith are certified copies of the priority documents on which claims to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority documents.

Respectfully submitted,



Alan J. Kasper
Registration No. 25,426

SUGHRUE, MION, ZINN,
MACPEAK & SEAS, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, D.C. 20037-3212
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

Enclosures: Japan 11 186954
Japan 2000-156726

Date: September 22, 2000

RECEIVED
SEP 27 2000
TC 2500 MAIL ROOM

9-1586②

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

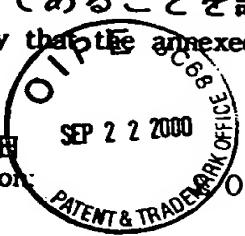
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 000年 5月26日

出願番号
Application Number: 特願2000-156726

出願人
Applicant(s): ホーヤ株式会社

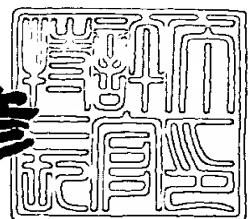


RECEIVED
SEP 27 2000
TC 2000 MAIL ROOM

2000年 6月29日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3053318

【書類名】 特許願

【整理番号】 P00HYE008

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/027

【発明者】

【住所又は居所】 東京都新宿区中落合2丁目7番5号 ホーヤ株式会社内

【氏名】 雨宮 熊

【特許出願人】

【識別番号】 000113263

【住所又は居所】 東京都新宿区中落合2丁目7番5号

【氏名又は名称】 ホーヤ株式会社

【代表者】 山中 衛

【代理人】

【識別番号】 100103676

【弁理士】

【氏名又は名称】 藤村 康夫

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第186954号

【出願日】 平成11年 6月30日

【手数料の表示】

【予納台帳番号】 056018

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9500007

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子線描画用マスクブランクス、電子線描画用マスクおよび電子線描画用マスクの製造方法

【特許請求の範囲】

【請求項1】 電子線を透過するパターン支持層と、
前記パターン支持層上に形成された電子線散乱層と、
前記パターン支持層と前記電子線散乱層とを支持する支持体とを有する電子線
描画用マスクブランクスにおいて、
前記電子線散乱層が、炭素元素及び／又は珪素元素を主成分としてなる材料か
らなることを特徴とする電子線描画用マスクブランクス。

【請求項2】 前記電子線散乱層が、炭素元素を主成分としてなる材料から
なることを特徴とする請求項1に記載の電子線描画用マスクブランクス。

【請求項3】 前記電子線散乱層が、DLC、又はDLCにB、N、Si、
Pのうちの少なくとも1つをドープした材料で構成されていることを特徴とする
請求項2に記載の電子線描画用マスクブランクス。

【請求項4】 前記DLCへのB、N、Si、Pのうちの少なくとも1つの
ドープ量が、0.1～40モル%であることを特徴とする請求項3に記載の電子
線描画用マスクブランクス。

【請求項5】 前記電子線散乱層が、珪素元素を主成分としてなる材料から
なることを特徴とする請求項1に記載の電子線描画用マスクブランクス。

【請求項6】 前記パターン支持層が、炭素元素を主成分としてなる材料か
らなることを特徴とする請求項1ないし5のいずれかに記載の電子線描画用マス
クブランクス。

【請求項7】 前記電子線散乱層が、DLC、又はDLCにB、N、Si、
Pのうちの少なくとも1つをドープした材料で構成されていることを特徴とする
請求項6に記載の電子線描画用マスクブランクス。

【請求項8】 前記DLCへのB、N、Si、Pのうちの少なくとも1つの
ドープ量が、0.1～40モル%であることを特徴とする請求項7に記載の電子
線描画用マスクブランクス。

【請求項9】 前記電子線散乱層が、珪素元素を主成分としてなる材料からなることを特徴とする請求項1ないし5のいずれかに記載の電子線描画用マスクプランクス。

【請求項10】 前記電子線散乱層と前記パターン支持層との間、あるいは前記パターン支持層と前記支持体との間にエッチングストッパー層を介在させる請求項1ないし9のいずれかに記載の電子線描画用マスクプランクス。

【請求項11】 前記エッチングストッパー層が、前記電子線散乱層及び／又は前記支持体とのエッチング選択比が大きい材料で構成されていることを特徴とする請求項10に記載の電子線描画用マスクプランクス。

【請求項12】 前記支持体が、炭素元素を主成分としてなる材料からなることを特徴とする請求項1ないし11のいずれかに記載の電子線描画用マスクプランクス。

【請求項13】 電子線を透過するパターン支持層と、
前記パターン支持層上に形成されたエッチングストッパー層と、
前記エッチングストッパー層上に形成された電子線散乱層と、
前記パターン支持層、エッチングストッパー層と前記電子線散乱層とを支持する支持体とを有する電子線描画用マスクプランクスであって、
前記電子線散乱層が、DLC、又はDLCにB、N、Si、Pのうちの少なくとも1つをドープした材料で構成され、
前記パターン支持層が、DLC、又はDLCにB、N、P、Ti、Si、Alのうちの少なくとも1つをドープした材料で構成され、
前記エッチングストッパー層が、前記電子線散乱層とのエッチング選択比が大きい材料で構成されていることを特徴とする電子線描画用マスクプランクス。

【請求項14】 電子線を透過するパターン支持層と、
前記パターン支持層上に形成された電子線散乱層と、
前記パターン支持層と前記電子線散乱層とを支持する支持体とを有する電子線描画用マスクプランクスにおいて、
前記パターン支持層の膜厚が0.005μm～0.2μmであり、かつ、前記電子線散乱層の膜厚が0.2～2μmであって、これらの膜厚関係を充足する材

料からなることを特徴とする電子線描画用マスクブランクス。

【請求項15】 前記パターン支持層は下記式(I)を満足する請求項14に記載の電子線描画用マスクブランクス。

$$Tt \leq 2\alpha \quad \dots (I)$$

(式(I)中、 Tt : パターン支持層の膜厚、 α : パターン支持層における電子の平均自由行程を表す)

【請求項16】 前記電子線散乱層は下記式(II)を満足する請求項14または15に記載の電子線描画用マスクブランクス。

$$2\beta \leq Ts \leq 10\beta \quad \dots (II)$$

(式(II)中、 Ts : 電子線散乱層の膜厚、 β : 電子線散乱層における電子の平均自由行程を表す)

【請求項17】 前記パターン支持層および電子線散乱層の膜材料密度が、 $1.0 \sim 5.0 \text{ g/cm}^3$ である請求項14ないし16のいずれかに記載の電子線描画用マスクブランクス。

【請求項18】 前記パターン支持層および/または前記電子線散乱層の弾性率が、 $0.8 \times 10^{11} \text{ Pa}$ 以上である請求項14ないし17のいずれかに記載の電子線描画用マスクブランクス。

【請求項19】 前記パターン支持層および/または前記電子線散乱層の膜厚のバラツキが1個のショットエリア内で30%以下である請求項14ないし18のいずれかに記載の電子線描画用マスクブランクス。

【請求項20】 前記電子線散乱層が、炭素元素及び/又は珪素元素を主成分としてなる材料からなる請求項14ないし19のいずれかに記載の電子線描画用マスクブランクス。

【請求項21】 前記電子線散乱層と前記パターン支持層との間、あるいは前記パターン支持層と前記支持体との間にエッチングストッパー層を介在させる請求項14ないし20のいずれかに記載の電子線描画用マスクブランクス。

【請求項22】 前記エッチングストッパー層の膜厚が、 $0.005 \sim 0.2 \mu\text{m}$ である請求項21に記載の電子線描画用マスクブランクス。

【請求項23】 前記エッチングストッパー層の膜材料密度が、 $1.0 \sim 5$

0 g/cm³である請求項21または22に記載の電子線苗画用マスクプランクス。

【請求項24】 前記エッチングストッパー層が、前記電子線散乱層及び／又は前記支持体とのエッチング選択比が大きい材料で構成されていることを特徴とする請求項21ないし23に記載の電子線描画用マスクプランクス。

【請求項25】 前記パターン支持層、前記エッチングストッパー層、前記電子線散乱層のうちの少なくとも1つの層の表面粗さ（Ra）が、10 nm以下である請求項14ないし24のいずれかに記載の電子線苗画用マスクプランクス。

【請求項26】 前記パターン支持層、前記エッチングストッパー層、前記電子線散乱層のうちの少なくとも1つの層が熱処理により応力制御されたものであるか、あるいは、これらのうちの2以上の層を同時に熱処理することにより膜応力を制御し、トータルの膜応力を低減したものである請求項14ないし25のいずれかに記載の電子線苗画用マスクプランクス。

【請求項27】 請求項1ないし26のいずれかに記載のマスクプランクスを用いて作製されたことを特徴とする電子線描画用マスク。

【請求項28】 電子線を透過するパターン支持膜と、

前記パターン支持膜上に形成された電子線散乱体パターンと、

前記パターン支持膜および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、

前記パターン支持膜の膜厚が0.005 μm～0.2 μmであり、前記パターン支持膜の膜材料密度が1.0～5.0 g/cm³であり、前記パターン支持膜の弾性率が0.8×10¹¹ Pa以上であって、かつ、

前記電子線散乱体パターンの膜厚が0.2～2 μmであり、前記電子線散乱体パターンの膜材料密度が1.0～5.0 g/cm³であり、前記電子線散乱体パターンの弾性率が0.8×10¹¹ Pa以上であることを特徴とする電子線描画用マスク。

【請求項29】 電子線を透過するパターン支持膜と、

前記パターン支持膜上に形成された電子線散乱体パターンと、

前記パターン支持膜および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、

前記支持体、前記パターン支持膜、及び電子線散乱体パターンのうちの少なくとも一つが、主として炭素元素から構成される材料からなることを特徴とする電子線描画用マスク。

【請求項30】 電子線を透過するパターン支持膜と、

前記パターン支持膜上に形成された電子線散乱体パターンと、

前記パターン支持膜上の全面に形成され、又は電子線散乱体パターンの下に残された、エッチングストッパー層と、

前記パターン支持膜、前記エッチングストッパー層および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、

前記電子線散乱体パターンが、DLC、又はDLCにB、N、Si、Pのうちの少なくとも1つをドープした材料で構成され、

前記パターン支持膜が、DLC、又はDLCにB、N、P、Ti、Si、Alのうちの少なくとも1つをドープした材料で構成され、

前記エッチングストッパー層が、前記電子線散乱層とのエッチング選択比が大きい材料で構成されていることを特徴とする電子線描画用マスク。

【請求項31】 電子線を透過するパターン支持膜と、

前記パターン支持膜上に形成された電子線散乱体パターンと、

前記パターン支持膜および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、

前記電子線散乱体パターンが、主としてケイ素元素から構成される材料で構成され、

前記パターン支持膜がSiC又はTiCで構成されていることを特徴とする電子線描画用マスク。

【請求項32】 電子線を透過するパターン支持膜と、

前記パターン支持膜上に形成されたエッチングストッパー層と、

前記エッチングストッパー層上に形成された電子線散乱体パターンと、

前記パターン支持膜、前記エッチングストッパー層および前記電子線散乱体パ

ターンを支持する支持体とを有する電子線描画用マスクにおいて、
前記電子線散乱体パターンが硬質カーボンで構成され、
前記エッチングストッパー層が、 SiO_2 で構成され、
前記パターン支持膜が、主としてケイ素元素から構成される材料で構成されて
いることを特徴とする電子線描画用マスク。

【請求項33】 電子線を透過するパターン支持膜と、
前記パターン支持膜上に形成された電子線散乱体パターンと、
前記パターン支持膜および前記電子線散乱体パターンを支持する支持体とを有
する電子線描画用マスクにおいて、
前記電子線散乱体パターンが、DLC、又はDLCにB、N、Si、Pのうち
の少なくとも1つをドープした材料で構成され、
前記パターン支持膜が $\beta-SiC$ で構成されていることを特徴とする電子線描
画用マスク。

【請求項34】 電子線を透過するパターン支持膜と、
前記パターン支持膜上に形成された電子線散乱体パターンと、
前記パターン支持膜および前記電子線散乱体パターンを支持する支持体とを有
する電子線描画用マスクにおいて、
前記電子線散乱体パターンが、主としてケイ素元素から構成される材料で構成
され、
前記パターン支持膜が SiC で構成されていることを特徴とする電子線描画用
マスク。

【請求項35】 電子線を透過するパターン支持膜と、
前記パターン支持膜上に形成された電子線散乱体パターンと、
前記パターン支持膜および前記電子線散乱体パターンを支持する支持体とを有
する電子線描画用マスクにおいて、
前記電子線散乱体パターンが、主としてケイ素元素から構成される材料で構成
され、
前記パターン支持膜が、DLC、又はDLCにB、N、P、Ti、Si、Al
のうちの少なくとも1つをドープした材料で構成されていることを特徴とする電

子線描画用マスク。

【請求項36】 前記電子線描画用マスクは、露光電子線の加速電圧が30k eV以上で使用されるものである請求項27ないし35のいずれかに記載の電子線描画用マスク。

【請求項37】 請求項27ないし36のいずれかに記載の電子線描画用マスクの表面側又は裏面側に、圧縮応力膜及び引張応力膜のうち少なくとも一方を形成する工程を有することを特徴とする電子線描画用マスクの製造方法。

【請求項38】 SIMOXウエハまたは貼合せSOIウエハに裏面側よりウインド加工を施し、続いてウエハ中のストッパー層（中間層）を選択的に除去した後、裏面側より薄膜形成法により一面にパターン支持膜を形成する工程を有することを特徴とする電子線描画用マスクの製造方法。

【請求項39】 請求項27ないし36のいずれかに記載の電子線描画用マスクを用いて製造された半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は荷電粒子線、特に電子線を用いた半導体デバイス等の製造のためのリソグラフィー技術に用いる転写マスク（レチクル）、マスクブランクス（マスク作製用基板）の構造、製法等に関するものである。

【0002】

【従来の技術】

配線パターン等を形成するためのリソグラフィー技術において、形成パターンが非常に微細化するに伴い、従来からの汎用技術である光リソグラフィー技術ではパターン形成が困難になり、更なる微細化に向け電子線、イオンビームなどの荷電粒子線やX線源等の短波長ビームを用いた露光技術が積極的に検討されている。

中でも電子線描画技術は初期の点ビーム描画から、矩形ビームのサイズや形状を変化させて描画を行う可変成形描画法、続いて、パターン精度の向上や描画時間の短縮などの観点から、マスクを介してパターンの一部を部分的に一括して描

画しこれを繰り返す部分一括描画法が提案され、発展が図られてきた。そして、部分一括描画法に引き続き、8年前にS. D. Bergerらによって新しい電子投射システム(SCALPELシステム)が提案された。その後、同様の描画システム(PREVAILシステム)やこれらの描画システムに適用するための転写マスク(レチクル)構造およびその作製方法に関する提案が種々なされてきた。

【0003】

例えば、特許第2829942号(特開平7-201726号)は、H. C. Pfeifferらによって発明されたPREVAILシステムに関するものであり、概略的には各小領域に所定のサイズ、配置にて形成された貫通孔(アパチャ)パターンを形成したステンシルマスクを用意し、前記小領域に荷電粒子線を照射し、貫通孔パターンによって成形されたビームを光学系にて感光材を形成した被露光基板上に貫通孔パターンを縮小転写するものであり、マスク上に分割形成された所定パターンを被露光基板上にて繋ぎ合わせながらデバイスパターンを形成するものである。このシステムのために提案されている転写マスクは、パターン部が全く遮蔽されない貫通孔からなるステンシルタイプのマスクを主構造としている(特開平10-261584、特開平10-260523等)。ステンシルタイプのマスクでは、パターン領域を裏面側からストラット(strut)(棧)構造で分割、補強することによりパターン領域の撓みの低減が図られ、これによってパターン位置精度の向上等が図られている。

【0004】

またSCALPELシステムのためのマスク構造は主としてステンシルマスクよりも散乱マスク(レチクル)が提案されている。これらについては、例えば文献(S. D. Berger & J. M. Gibson著、APPL. PHYS. LETTERS 57(2) (1990) 153)や、特開平10-261584号公報、特開平10-321495号公報等に具体的に記載されている。これら記載によれば、マスク構造はSiN等のメンブレン(自立した薄膜)上に重金属層を形成し、この重金属層に所望のパターン形成を施したものであり、電子ビームは双方の層に照射されるが、電子線散乱体の有無により電子散乱度が異なり、こ

の散乱度の違いを利用してウェハ上でのビームコントラストを得て、パターンの縮小転写を行う方法である。

【0005】

これらの露光システムは荷電粒子線の特徴である高解像性を満足し、0.1 μmより微細なパターン形成を可能としており、部分一括法と比較した場合、ショットサイズの大幅な拡大（例えば、被露光基板上の最大ショットサイズが5 μmから250 μmへ拡大）等によりデバイスの製造におけるスループット向上が図られ（例えば、最小線幅0.08 μm、8インチ基板で、30枚／時以上のスループット）、汎用デバイス生産対応も可能な装置能力を有しており、実用性の高いシステムである。

【0006】

【発明が解決しようとする課題】

上記のように新たな露光システムの提案、そのシステムに適用するための転写マスク（レチクル）構造に関する提案やマスクの作製方法に関する提案が種々公表されているが、提案されている各種マスク構造では実用性の観点から諸問題を抱えている状況である。以下それらの諸問題について概説する。

【0007】

これまで提案されているマスク構造は大別して2種類であり、パターンが貫通孔構造であるステンシルマスクと、100～200 nm厚の薄膜透過層の上に重金属からなる電子線散乱体を形成した散乱マスクである。その他に反射タイプのマスクの提案もあるが説明は省く。これらの代表的な構造図を図13、図14に示す。

【0008】

図13に示すように、ステンシルマスクの転写パターン部分は貫通孔1であるため描画電子のエネルギー損失がほとんど無い反面、高アスペクト比のパターンであるためパターン寸法精度の問題や、貫通孔構造であるためマスク強度に関する問題がある。この対策として、パターン領域（薄膜部）を極力薄く（例えば2 μm厚）し、マスク裏面よりパターン領域（パターンフィールド）を支持するためのストラット（桟）（図示せず）等を形成することにより加工精度の向上とマ

スク構造の強化を図る技術が知られている。

しかしながら、貫通孔構造の場合、リング型（ドーナツ型）パターン等は完全に独立した形では形成することができない。この場合の対処法として、H. B ohlenらがSolid State Technology, Sept (1984) 210頁で記述しているように所望の構成素子パターンを組み立てるための相補形マスクを作製し、相補形パターンの重ね合わせによりパターンを形成する方法が提案されている。しかし、この方法では最低2倍の枚数のマスクを必要とする上、露光のショット数が多くなり露光時間の大幅な増加を招いてしまい、露光システムの有する処理能力を低減させてしまう。また、デバイスパターン毎の適切なパターン分割が必要となるデメリットもある。

【0009】

また、加工精度（パターン寸法精度）向上のためにパターン領域（薄膜部）の薄膜化を行うと新たな課題が生じる。

ステンシルマスクの転写パターン部分は貫通孔である。このときに形成するパターンが図5（黒色部が貫通孔1）に示すようにコンタクトホール（図5（a））や短寸法ラインパターン（図5（b））のみであれば特別な問題は生じないが、素子パターンデザインの都合上、図6（a）や（b）（黒色部がそれぞれ貫通孔1）に示すようにパターン支え部4が片持ち形状のパターン（以下、リーフパターンと称す）である場合が少なからず生じる。このような場合、リーフパターンでは諸条件により縦方向（マスク面に垂直な方向）に撓み変位を生じてしまう。また、パターン密度の高いラインパターン（例えばL&S比が1:1）であって微細なパターンでは横方向（マスク面に水平な方向）への機械的強度も低下してしまう。この場合、アパーチャ体材料のヤング率が非常に大きければ、撓み変位の低減も可能となるが、現在知られている最も弾性係数の大きな多結晶ダイヤモンド膜を仮にアパーチャ体に適応しても、パターン支え部分の断面積が縮小化する限り、撓み変位を実用レベルにすることは困難である。

加えて、SCALPELやPREVEILタイプの装置では、露光システム上マスクは高速で常時動作するため、微視的な観点から判断すると、アパーチャパターン（リーフパターンを含む）にも横方向に非常に大きな力が作用してしまう

。即ち縦方向のみでなく、横方向（マスク面に平行な方向）に対するマスク剛性の観点も重要なとなる。しかしながら、リーフパターン部には、マスクステージの高速移動により曲げ応力やねじり応力等が作用し、リーフパターン支持部では応力集中が生じるため、パターン破損が生じることが予測される。

【0010】

一方、SCALPELマスク（電子線散乱マスク）においては、マスク構造による電子線透過層（膜）（パターン支持層（膜）、又はメンブレンと称す）での電子線散乱による透過電子量の損失とマスク耐久性の問題が生じる。

上記電子線散乱マスクの断面構造図（図14）を基に説明する。電子線散乱マスクは、電子線散乱体5の有無による電子散乱度の差と制限アーチャによりコントラストを確保するが、重金属からなる電子線散乱体5のみでは膜自立することが難しいため、重金属散乱層の支持を目的にパターン支持層6を形成する必要がある。

【0011】

この構造のマスクでは、電子線散乱層を支持するためのパターン支持層の厚さと電子透過性の相反する課題が生じる。即ち、公知のパターン支持層材料はSiN系やSi材であり、その他ダイヤモンド膜等も提案されている。これらのパターン支持層材料に要求される特性としては、材料密度が低く、ヤング率等の材料力学特性に優れることが好ましい。言い換れば、パターン支持層での電子透過性に優れ、材料の弾性率等が大きい程好ましいと言える。電子透過性の観点のみであれば、荷電粒子ビームの高加速電圧化やパターン支持層の薄膜化により対応は可能であり、SCALPEL等で使用される電子源の加速電圧は100KeV以上と高加速電圧であるため、例えば米国特許第5260151号に記載されているパターン支持層の厚さ（50～200nm）では電子はほぼ100%透過する。但し、如何なる物質中でも電子は散乱される。散乱電子はパターン支持層を通過するが、パターン支持層からの電子出射角が所定の範囲をもつため、所定範囲外の出射角を有する電子は露光装置内の被露光基板の上部に設けられた制限アーチャを通過できないために、露光するための電子（露光電子と称す）の割合の減少を招いてしまう。所定範囲外の電子数を低減する、言い換れば散乱され

ずに透過する電子数を増加させるためには、支持体であるパターン支持層を薄くする他はない。

しかし重金属散乱体の場合、例えば散乱体がタンゲステンの場合、数回の電子散乱を確保するためには 50 nm 程度の膜厚さがあれば良いが、50 nm 厚の散乱体を支持するためには、例えば窒化シリコン (SiN 系) 系のパターン支持層を適用すると、材料力学特性の観点より膜厚設定した場合、約 100 ~ 150 nm 厚の SiN 膜を必要とする。この膜厚のパターン支持層を使用すると、100 KeV の加速電圧下での露光電子はパターン支持層での電子散乱により約 40 ~ 50 % に低減してしまう。仮に SiN パターン支持層の厚さを薄くしようとすると、タンゲステン散乱体の自重によりパターン支持層に撓みを生じさせてしまう。さらに、多くの加工工程に耐えられなくなり、パターン支持層などの破損が生じ易くなる。

【0012】

以上のように、重金属からなる電子線散乱層が薄過ぎると、良好なビームコントラストが得られない。一方、良好なビームコントラストを得るために重金属電子線散乱層を厚くすると自重で撓んでしまったり、加工工程中の膜応力変化（反り変化）が大きくなり破損などが生じ易くなる。また、その重金属電子線散乱層を支えるためには電子線透過層の膜厚をかなり厚くしなければならず、露光電子の損失が大きくなるという問題があった。そして、SCALPEL 用マスクでは、各々の層の薄膜化と応力の確保との要求が相反し、実用的なマスクを従来は得ることは困難であった。

【0013】

さらにステンシルマスクと同様にマスク使用時にマスクステージを高速動作した場合、電子線散乱体を含めたパターン領域（薄膜部分）が非常に壊れ易いことが予測される。

加えて、電子線散乱体が重金属からなる散乱マスクを PREVAIL のようなステッパー形式の装置に適用しようとした場合、露光電子の減少の他に、収差も問題である。即ち、パターン支持層での非弾性散乱により、ビームエネルギーのバラツキにより色収差を生じ解像性劣化を招いてしまう。この解像性低下の対策

法としては結論的にはビーム電流値を極端に下げざるを得ないため、露光時間の大幅な延長を招き、実用的でない。

【0014】

本発明は、上述した背景の下になされたものであり、電子ビーム（E B）露光に用いられる電子線描画用マスクおよび電子線描画用マスクブランクス等マスク技術に関するものであって、ビームコントラスト、電子の散乱角の制御、露光電子の損失、色収差の低減、露光時間の短縮などの問題に対処できる電子線描画用マスクやそのマスクブランクスの提供を目的とする。

また、マスク構造の最適化およびマスク作製方法の確立を図り、リソグラフィー特性を向上させ超高集積回路の製造を可能とすることを目的とする。

【0015】

【課題を解決するための手段】

上記種々課題を解決するため、本発明は、以下の構成としてある。

（構成1） 電子線を透過するパターン支持層と、

前記パターン支持層上に形成された電子線散乱層と、

前記パターン支持層と前記電子線散乱層とを支持する支持体とを有する電子線描画用マスクブランクスにおいて、

前記電子線散乱層が、炭素元素及び／又は珪素元素を主成分としてなる材料からなることを特徴とする電子線描画用マスクブランクス。

【0016】

（構成2） 前記電子線散乱層が、炭素元素を主成分としてなる材料からなることを特徴とする構成1に記載の電子線描画用マスクブランクス。

【0017】

（構成3） 前記電子線散乱層が、DLC、又はDLCにB、N、Si、Pのうちの少なくとも1つをドープした材料で構成されていることを特徴とする構成2に記載の電子線描画用マスクブランクス。

【0018】

（構成4） 前記DLCへのB、N、Si、Pのうちの少なくとも1つのドープ量が、0.1～40モル%であることを特徴とする構成3に記載の電子線描画用

マスクブランクス。

【0019】

(構成5) 前記電子線散乱層が、珪素元素を主成分としてなる材料からなることを特徴とする構成1に記載の電子線描画用マスクブランクス。

【0020】

(構成6) 前記パターン支持層が、炭素元素を主成分としてなる材料からなることを特徴とする構成1ないし5のいずれかに記載の電子線描画用マスクブランクス。

【0021】

(構成7) 前記電子線散乱層が、DLC、又はDLCにB、N、Si、Pのうちの少なくとも1つをドープした材料で構成されていることを特徴とする構成6に記載の電子線描画用マスクブランクス。

【0022】

(構成8) 前記DLCへのB、N、Si、Pのうちの少なくとも1つのドープ量が、0.1~40モル%であることを特徴とする構成7に記載の電子線描画用マスクブランクス。

【0023】

(構成9) 前記電子線散乱層が、珪素元素を主成分としてなる材料からなることを特徴とする構成1ないし5のいずれかに記載の電子線描画用マスクブランクス。

【0024】

(構成10) 前記電子線散乱層と前記パターン支持層との間、あるいは前記パターン支持層と前記支持体との間にエッティングストッパー層を介在させる構成1ないし9のいずれかに記載の電子線描画用マスクブランクス。

【0025】

(構成11) 前記エッティングストッパー層が、前記電子線散乱層及び/又は前記支持体とのエッティング選択比が大きい材料で構成されていることを特徴とする構成10に記載の電子線描画用マスクブランクス。

【0026】

(構成12) 前記支持体が、炭素元素を主成分としてなる材料からなることを特徴とする構成1ないし11のいずれかに記載の電子線描画用マスクブランクス。

【0027】

(構成13) 電子線を透過するパターン支持層と、
前記パターン支持層上に形成されたエッチングストッパー層と、
前記エッチングストッパー層上に形成された電子線散乱層と、
前記パターン支持層、エッチングストッパー層と前記電子線散乱層とを支持する支持体とを有する電子線描画用マスクブランクスであって、
前記電子線散乱層が、DLC、又はDLCにB、N、Si、Pのうちの少なくとも1つをドープした材料で構成され、
前記パターン支持層が、DLC、又はDLCにB、N、P、Ti、Si、Alのうちの少なくとも1つをドープした材料で構成され、
前記エッチングストッパー層が、前記電子線散乱層とのエッチング選択比が大きい材料で構成されていることを特徴とする電子線描画用マスクブランクス。

【0028】

(構成14) 電子線を透過する電子線透過層(パターン支持層)と、前記電子線透過層(パターン支持層)上に形成された電子線散乱層と、前記電子線透過層(パターン支持層)と前記電子線散乱層とを支持する支持体とを有する電子線描画用マスクブランクスにおいて、前記電子線透過層(パターン支持層)の膜厚が0.005μm～0.2μmであり、かつ、前記電子線散乱層の膜厚が0.2～2μmであって、これらの膜厚関係を充足する材料からなることを特徴とする電子線描画用マスクブランクス。

【0029】

(構成15) 前記電子線透過層(パターン支持層)は下記式(I)を満足する構成14に記載の電子描画用マスクブランクス。

$$Tt \leq 2\alpha \quad \cdots (I)$$

(式(I)中、Tt:電子線透過層(パターン支持層)の膜厚、α:電子線透過層(パターン支持層)における電子の平均自由行程を表す)

【0030】

(構成16) 前記電子線散乱層は下記式(I I)を満足する構成14または15に記載の電子線描画用マスクブランクス。

$$2\beta \leq Ts \leq 10\beta \quad \cdots (I I)$$

(式(I I)中、 Ts : 電子線散乱層の膜厚、 β : 電子線散乱層における電子の平均自由行程を表す)

【0031】

(構成17) 前記電子線透過層(パターン支持層)および電子線散乱層の膜材料密度が、 $1.0 \sim 5.0 \text{ g/cm}^3$ である構成14ないし16のいずれかに記載の電子線描画用マスクブランクス。

【0032】

(構成18) 前記電子線透過層(パターン支持層)および/または前記電子線散乱層の弾性率が、 $0.8 \times 10^{11} \text{ Pa}$ 以上である構成14ないし17のいずれかに記載の電子線描画用マスクブランクス。

【0033】

(構成19) 前記電子線透過層(パターン支持層)および/または前記電子線散乱層の膜厚のバラツキが1個のショットエリア内で30%以下である構成14ないし18のいずれかに記載の電子線描画用マスクブランクス。

【0034】

(構成20) 前記電子線散乱層が、炭素元素及び/又は珪素元素を主成分となる材料からなる構成14ないし19のいずれかに記載の電子線描画用マスクブランクス。

【0035】

(構成21) 前記電子線散乱層と前記電子線透過層(パターン支持層)との間、あるいは前記電子線透過層(パターン支持層)と前記支持体との間にエッティングストッパー層を介在させる構成14ないし20のいずれかに記載の電子線描画用マスクブランクス。

【0036】

(構成22) 前記エッティングストッパー層の膜厚が、 $0.005 \sim 0.2 \mu\text{m}$ で

ある構成21に記載の電子線描画用マスクブランクス。

【0037】

(構成23) 前記エッチングストッパー層の膜材料密度が、1.0~5.0 g/cm³である構成21または22に記載の電子線描画用マスクブランクス。

【0038】

(構成24) 前記エッチングストッパー層が、前記電子線散乱層及び/又は前記支持体とのエッチング選択比が大きい材料で構成されていることを特徴とする構成21ないし23に記載の電子線描画用マスクブランクス。

【0039】

(構成25) 前記パターン支持層(電子線透過層)、前記エッチングストッパー層、前記電子線散乱層のうちの少なくとも1つの層の表面粗さ(Ra)が、10 nm以下である構成14ないし24のいずれかに記載の電子線描画用マスクブランクス。

【0040】

(構成26) 前記パターン支持層(電子線透過層)、前記エッチングストッパー層、前記電子線散乱層のうちの少なくとも1つの層が熱処理により応力制御されたものであるか、あるいは、これらのうちの2以上の層を同時に熱処理することにより膜応力を制御し、トータルの膜応力を低減したものである構成14ないし25のいずれかに記載の電子線描画用マスクブランクス。

【0041】

(構成27) 構成1ないし26のいずれかに記載のマスクブランクスを用いて作製されたことを特徴とする電子線描画用マスク。

【0042】

(構成28) 電子線を透過する電素線透過膜(パターン支持膜)と、前記電素線透過膜(パターン支持膜)上に形成された電子線散乱体パターンと、前記電素線透過膜(パターン支持膜)および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、前記電素線透過膜(パターン支持膜)の膜厚が0.005 μm~0.2 μmであり、前記電素線透過膜(パターン支持膜)の膜材料密度が1.0~5.0 g/cm³であり、前記電素線透過膜(パター

ン支持膜)の弾性率が 0.8×10^{11} Pa以上であって、かつ、前記電子線散乱体パターンの膜厚が $0.2 \sim 2 \mu\text{m}$ であり、前記電子線散乱体パターンの膜材料密度が $1.0 \sim 5.0 \text{ g/cm}^3$ であり、前記電子線散乱体パターンの弾性率が 0.8×10^{11} Pa以上であることを特徴とする電子線描画用マスク。

【0043】

(構成29) 電子線を透過する電素線透過膜(パターン支持膜)と、前記電素線透過膜(パターン支持膜)上に形成された電子線散乱体パターンと、前記電素線透過膜(パターン支持膜)および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、前記支持体、前記電素線透過膜(パターン支持膜)、及び電子線散乱体パターンのうちの少なくとも一つが、主として炭素元素から構成される材料からなることを特徴とする電子線描画用マスク。

【0044】

(構成30) 電子線を透過するパターン支持膜(電子線透過膜)と、前記パターン支持膜上に形成された電子線散乱体パターンと、前記パターン支持膜上の全面に形成され、又は電子線散乱体パターンの下に残された、エッチングストッパー層と、前記パターン支持膜、前記エッチングストッパー層および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、

前記電子線散乱体パターンが、DLC、又はDLCにB、N、Si、Pのうちの少なくとも1つをドープした材料で構成され、前記パターン支持膜が、DLC、又はDLCにB、N、P、Ti、Si、Alのうちの少なくとも1つをドープした材料で構成され、前記エッチングストッパー層が、前記電子線散乱層とのエッチング選択比が大きい材料で構成されていることを特徴とする電子線描画用マスク。

【0045】

(構成31) 電子線を透過するパターン支持膜(電子線透過膜)と、前記パターン支持膜上に形成された電子線散乱体パターンと、前記パターン支持膜および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、前記電子線散乱体パターンが、主としてケイ素元素から構成される材料で構成され、前記パターン支持膜がSiC又はTiCで構成されていることを特徴と

する電子線描画用マスク。

【0046】

(構成32) 電子線を透過するパターン支持膜(電子線透過膜)と、前記パターン支持膜上に形成されたエッチングストッパー層と、前記エッチングストッパー層上に形成された電子線散乱体パターンと、前記パターン支持膜、前記エッチングストッパー層および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、前記電子線散乱体パターンが硬質カーボンで構成され、前記エッチングストッパー層が、 SiO_2 で構成され、前記パターン支持膜が、主としてケイ素元素から構成される材料で構成されていることを特徴とする電子線描画用マスク。

【0047】

(構成33) 電子線を透過するパターン支持膜(電子線透過膜)と、前記パターン支持膜上に形成された電子線散乱体パターンと、前記パターン支持膜および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、前記電子線散乱体パターンが、DLC、又はDLCにB、N、Si、Pのうちの少なくとも1つをドープした材料で構成され、前記パターン支持膜が β -SiCで構成されていることを特徴とする電子線描画用マスク。

【0048】

(構成34) 電子線を透過するパターン支持膜(電子線透過膜)と、前記パターン支持膜上に形成された電子線散乱体パターンと、前記パターン支持膜および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、前記電子線散乱体パターンが、主としてケイ素元素から構成される材料で構成され、前記パターン支持膜がSiCで構成されていることを特徴とする電子線描画用マスク。

【0049】

(構成35) 電子線を透過するパターン支持膜(電子線透過膜)と、前記パターン支持膜上に形成された電子線散乱体パターンと、前記パターン支持膜および前記電子線散乱体パターンを支持する支持体とを有する電子線描画用マスクにおいて、前記電子線散乱体パターンが、主としてケイ素元素から構成される材料で構

成され、前記パターン支持膜が、DLC、又はDLCにB、N、P、Ti、Si、Alのうちの少なくとも1つをドープした材料で構成されていることを特徴とする電子線描画用マスク。

【0050】

(構成36) 前記電子線描画用マスクは、露光電子線の加速電圧が30keV以上で使用されるものである構成27ないし35のいずれかに記載の電子線描画用マスク。

【0051】

(構成37) 構成27ないし36のいずれかに記載の電子線描画用マスクの表面側又は裏面側に、圧縮応力膜及び引張応力膜のうち少なくとも一方を形成する工程を有することを特徴とする電子線描画用マスクの製造方法。

【0052】

(構成38) SIMOXウエハまたは貼合せSOIウエハに裏面側よりウインド加工を施し、続いてウエハ中のストッパー層(中間層)を選択的に除去した後、裏面側より薄膜形成法により一面に電子線透過膜(パターン支持膜)を形成する工程を有することを特徴とする電子線描画用マスクの製造方法。

【0053】

(構成39) 構成27ないし36のいずれかに記載の電子線描画用マスクを用いて製造された半導体装置。

【0054】

【作用】

上記構成1によれば、以下の効果が得られる。すなわち、上述したように、従来のSCALPELマスクのように、電子線散乱層が金属元素であるMo、W等を主成分としてなる材料からなる場合、それを支えるために最低必要な膜厚を有するパターン支持層(SiNなど)を必要とするが、それではパターン支持層におけるエネルギーロスや、エネルギー分散による色収差で解像度が低下してしまうという問題があった。しかし、構成1記載の発明のように、電子線散乱層を「炭素元素及び/又は珪素元素を主成分としてなる材料」で構成することによって、パターン支持層の膜厚を小さくすることができ、上記問題を低減させることができ

できる。

なお、「炭素元素及び／又は珪素元素を主成分としてなる材料」には、B、P、H、N、O、ハロゲンなどの1種又は2種以上が含まれている場合を含み、さらに、これらに加え又は単独で微量の金属元素等がドープされている場合を含む。

【0055】

上記構成2は、上記構成1における電子線散乱層が「炭素元素を主成分としてなる材料」からなる場合に限定したものである。ここで、「炭素元素を主成分としてなる材料」としては、膜材料密度が小さく、かつ、ヤング率等の材料力学特性が大きくて、電子線散乱体を極力厚くできる材料構成で、加えて耐薬品性、照射耐性に優れ、さらにパターン精度の観点よりエッティング可能性に優れる材料であることが望ましい。さらに加えれば、帯電を考慮し、絶縁材料でないことが好ましい。この様な特性を満足する材料としては、例えば、ダイヤモンドやダイヤモンドライクカーボン（DLC）あるいは硬質カーボンなどが挙げられる。これらの膜は、窒素、ホウ素、ケイ素、リンなどを含むことができる。

【0056】

上記構成3は、上記構成2における電子線散乱層が「DLC、又はDLCにB、N、Si、Pのうちの少なくとも1つをドープした材料」で構成されている場合に限定したものである。ここで、DLCに、B、N、Si、Pのうちの少なくとも一つをドープすることにより、DLCに導電性を付与でき、チャージングの影響等を回避できる。電子線散乱層を構成するDLCの膜厚は、300～700nm程度が好ましい。

【0057】

上記構成4において、DLCへのB、N、Si、Pのうちの少なくとも1つのドープ量が、40モル%を超えるとDLC膜の性質が損なわれたり、エッティング選択性が損なわれるおそれがあり、0.1モル%未満であるとドープによる導電性の付与、膜抵抗の低減などの効果が十分に得られない場合がある。

【0058】

上記構成5は、上記構成1における電子線散乱層が「珪素元素を主成分として

なる材料」からなる場合に限定したものである。ここで、「珪素元素を主成分としてなる材料」としては、例えば、アモルファスシリコン、多結晶シリコン、単結晶シリコン等が挙げられ、これらの材料は、それぞれBやPなどをドープしたものであってもよい。

【0059】

上記構成6は、上記構成1ないし5におけるパターン支持層が「炭素元素を主成分としてなる材料」からなる場合に限定したものである。ここで、「炭素元素を主成分としてなる材料」としては、膜材料密度が小さく、かつ、ヤング率等の材料力学特性が大きくて、パターン支持層の厚さを極力薄くできる材料構成で、加えて耐薬品性、照射耐性に優れる材料であることが望ましい。さらに加えれば、帯電を考慮し、絶縁材料でないことが好ましい。この様な特性を満足する材料としては、例えば、ダイヤモンドやダイヤモンドライクカーボン(DLC)あるいは硬質カーボンなどが挙げられる。これらの膜は、窒素、ホウ素、ケイ素、リンなどを含むことができる。

【0060】

上記構成7は、上記構成6におけるパターン支持層が「DLC、又はDLCにB、N、P、Ti、Si、Alのうちの少なくとも1つをドープした材料」で構成されている場合に限定したものである。ここで、DLCに、B、N、P、Ti、Si、Alのうちの少なくとも一つをドープすることにより、DLCに導電性を付与でき、チャージングの影響等を回避できる。

【0061】

上記構成8において、DLCへのB、N、P、Ti、Si、Alのうちの少なくとも1つのドープ量が、40モル%を超えるとDLC膜の性質が損なわれたり、エッティング選択性が損なわれるおそれがあり、0.1モル%未満であるとドープによる導電性の付与、膜抵抗の低減などの効果が十分に得られない場合がある。

なお、上記構成3記載の電子線散乱層と本構成8記載のパターン支持層とで、DLCにドープされる元素が異なるのは、電子線散乱層は、パターンを形成するためにエッティングをしなければならないため、エッティング特性が損なわれること

がないようにドープされる元素に制限があるのに対し、パターン支持層は、機械的強度を向上させるものであれば、より広いドープ元素の選択が可能である。電子線散乱層を構成するDLCに、パターン支持層にはドープ可能なTiやAlをドープすると、エッチングされ難い膜となるため好ましくない。

【0062】

上記構成9は、上記構成1ないし5におけるパターン支持層が「珪素元素を主成分としてなる材料」からなる場合に限定したものである。ここで、「珪素元素を主成分としてなる材料」としては、例えば、アモルファスシリコン、多結晶シリコン、単結晶シリコン等が挙げられ、これらの材料は、それぞれBやPなどをドープしたものであってもよい。

【0063】

上記構成10においては、電子線散乱層とパターン支持層との間にエッチングストッパー層を介在させることにより、電子線散乱層をエッチングしてパターンを形成する際、パターン支持層がエッチングされるのを回避し、加工時のマージンを高めることができる。また、パターン形成後、パターン領域の膜応力バランスの調整を図りより安定なマスクを得ることも可能である。なお、パターン形成後、電子線散乱層の開口部から露出するエッチングストッパー層は除去しても除去しなくてもよい。

また、支持体を裏面側からエッチングする際、パターン支持層と支持体との間にエッチングストッパー層を介在させることにより、裏面側からパターン支持層がエッチングされるのを回避し、加工時のマージンを高めることができる。また、電子線散乱層にパターンを形成した後、パターン領域の膜応力バランスの調整を図りより安定なマスクを得ることも可能である。

なお、上記2種類のエッチングストッパー層は、同じ材料あっても異なる材料から構成してもよい。

なお、本発明のマスクブランクスにおいて、支持体は、支持体材料からなる基板である場合の他、この支持体材料からなる基板を裏面加工等して得られる支持体である場合の双方を含む。構成1～構成26においても同様である。

【0064】

上記構成11にあるように、エッティングストッパー層は、電子線散乱層及び／又は支持体とのエッティング選択比が大きい材料で構成されていることが好ましい。これらのエッティング選択比が大きい程、電子線散乱層及び／又は支持体がエッティングされるのをより回避できる。

エッティングストッパー層の材料としては、SiC、TiC、TiN、アモルファスSi、Ti、Al、SiO₂などが挙げられる。エッティングストッパー層の膜厚は、0.005~0.2μmが好ましく、10~20nm程度がより好ましい。

【0065】

上記構成12にあるように、支持体が炭素元素を主成分としてなる材料からなることにより、エッティングストッパー層等に対して100以上の極端に大きなエッティング選択性を有するエッティングが容易に可能となり、材料選択性が広がると共にエッティングストッパー層を極端に薄くできるため、加工性の余裕度と共に限りなく理想的なマスクブランクス構造である。

【0066】

上記構成13にあるように、各層をこれらの材料で構成することによって、エッティング選択性の向上、言い換えればプロセスマージンの確保が容易になる。また、エッティングストッパー層を介して同種材料の積層構造となるため材料特性が近似するため熱膨張係数、熱伝導率等を近似させられるため、熱的歪みなどに対してもバラツキを抑えることができる。さらに、エッティング条件等の加工条件を選択しやすくなる。

ここで、電子線散乱層を構成するDLCには、B、N、Si、Pのうちの少なくとも一つをドープすることができ、これにより、DLCに導電性を付与でき、チャージングの影響等を回避できる。電子線散乱層を構成するDLCの膜厚は、300~700nm程度が好ましい。

パターン支持層を構成するDLCには、B、N、P、Ti、Si、Alのうちの少なくとも1つをドープすることができ、これにより、DLCに導電性を付与でき、また引っ張り応力を付与できる。パターン支持層を構成するDLCの膜厚は、30~80nm程度が好ましい。

エッティングストッパー層に関しては、上記構成11と同様である。

なお、パターン支持層を構成するDLC、及び、電子線散乱層を構成するDLCに他元素をドープする方法としては、DLCを成膜した後にイオン注入法でドーピングする方法もあるが、この方法ではイオン注入の為の専用設備を導入する必要があり、プロセスの簡素化等の観点からは、DLC成膜時に他元素をドーピングする方法が好ましい。

なお、パターン支持層を構成するDLC、エッティングストッパー層、及び、電子線散乱層を構成するDLCは、連続成膜すると、パーティクルの低減化が図れるので好ましい。

また、パターン支持層を構成するDLC、及び、電子線散乱層を構成するDLCは、DLC中に水素が含まれないようにした成膜法（例えば、負イオンビームスパッタ法、対向ターゲットスパッタ法、ECRスパッタ法などのスパッタ法）で成膜すると、熱伝導性が良好になる（熱伝導性の良い単結晶Siに比べても熱伝導性が良い）ので、好ましい。DLC中に水素が含まれてしまうと、ダイヤモンド結合の終端か終結（ターミネート）されてしまい、膜のネットワーク構造が途切れてしまい、その結果、熱伝導特性及びヤング率が低下するので好ましくない。

【0067】

上記構成14においては、所定の膜厚関係を充足する材料からなるという要件から、電子線散乱層が重金属からなる場合は除かれる。これは、電子線散乱層が重金属からなる場合は、上記膜厚関係を充足する材料からなるマスクを実現できないからである。したがって、従来のSCALPELマスクのように、W、Mo等の金属製電子線散乱層をパターン支持層で支える構成のマスクは除かれる。

【0068】

露光電子線損失は、主としてパターン支持層の膜厚、膜材料密度に依存する。露光電子損失（%）は、次式から求められる。

$$(1 - e^{-(Tt/\alpha)}) \times 100$$

式中、Ttはパターン支持層の膜厚、 α はパターン支持層における電子の平均自由行程をそれぞれ表す。また、 (Tt/α) は電子が1回散乱するための膜厚

を表す。

膜材料密度が大きくなれば、平均自由行程 α は小さくなり、露光電子損失も小さくなる。

膜材料密度が 1 g/cm^3 の場合、膜厚が $0.2 \mu\text{m}$ とすると、露光電子損失は約 4.5% となる。したがって、パターン支持層の膜厚が $0.2 \mu\text{m}$ を超えると露光電子の半分以上が損失されることになり、露光効率が悪く実用的でない。

【0069】

一方、パターン支持層の撓み量 δ は、 $\delta \leq \text{DOF}$ (焦点深度) である必要がある。DOF を $2 \sim 3 \mu\text{m}$ とした場合、撓み量 δ は、次式から求められる。

$$\text{撓み量 } \delta = (k \times W \times a^4) / (E \times T t^3) \leq 2 \text{ } (\mu\text{m})$$

式中、 k は撓み係数 (既知)、 W は膜に作用する力 (自重であり既知)、 a はパターンフィールド一辺の長さ (既知)、 E はパターン支持層のヤング率、 $T t$ はパターン支持層の膜厚をそれぞれ表す。

したがって、 δ を小さくするためには $(E \times T t^3)$ を大きくすればよい。

ここで、 E を DLC のヤング率 (膜材料では最大級: 500 GPa) としたとき、パターン支持層の膜厚は $0.005 \mu\text{m}$ 以上でないと、撓み量 δ を $2 \mu\text{m}$ 以下にすることは困難である。

また、パターン支持層の厚さが $0.005 \mu\text{m}$ 未満である場合、この上に形成される電子線散乱層を十分に支持できなくなり膜安定性が十分に得られない。さらに、電子線散乱層のエッチング時に生じるパターン近くの応力分布の変化によりパターン位置変位を招くおそれがある。

パターン支持層の厚さは $0.005 \mu\text{m} \sim 0.2 \mu\text{m}$ が好ましく、 $0.005 \mu\text{m} \sim 0.1 \mu\text{m}$ がさらに好ましく、 $0.01 \mu\text{m} \sim 0.05 \mu\text{m}$ がより好ましい。

電子線散乱層の厚さが $0.2 \mu\text{m}$ 未満である場合、例えば軽元素から構成されるとき等は電子線散乱層内における電子の散乱回数が十分ではなくビームコントラストを良好に得ることができない。また、リーフパターン等の場合、十分な膜自立性を得ることができない。一方、電子線散乱層の厚さが $2 \mu\text{m}$ を超えると、電子線散乱層内での電子の散乱回数が多くなり過ぎて電子の散乱角の制御が困難

になるおそれがある。電子の散乱角の制御が困難になると、特に、近接効果の補正を行うべくGHOST法等の補助露光手段を採用する際、電子散乱角度分布が大き過ぎ、良好な補助露光を行うことが困難になる。また、電子線散乱層に対し、例えば異方性ドライエッティングによって微細パターンの形成を行うのであるが、電子線散乱層に対するエッティング深さが深くなる程、電子線散乱層の加工精度が損なわれる傾向があるため好ましくない。電子線散乱層の厚さのより好ましい範囲は0.3~1.5μmである。

パターン支持層及び電子線散乱層の両方の膜厚が上記範囲内にあるとき、マスクとした際の膜安定性が保たれる。また、電子の透過と散乱とが制御され露光時のスループット向上を図ることができる。

【0070】

上記構成15によれば、パターン支持層が関係式(I)を満足することにより、電子の散乱を抑え、露光電子損失を低減させ、露光効率の向上を図ることができる。

好ましくは $Tt \leq 2\alpha$ であり、より好ましくは $Tt < \alpha$ である。

【0071】

上記構成16において、膜厚が 2β より小さい場合、即ち、電子の散乱が少なくとも2回以上可能な膜厚を電子線散乱層が有しない場合、ウエハ上のビームコントラストを良好に得ることができない。

一方、 10β を超えると、電子線散乱層内の電子の散乱回数が多くなり過ぎて電子の散乱角の制御が困難になるおそれがある。散乱角の制御が困難になると、特に、近接効果補正を行うべくGHOST法等の補助露光手段を採用する際、電子散乱角度分布が大き過ぎて、良好な補助露光を行うことが困難になる。また、電子線散乱層に対し、例えば異方性ドライエッティングによって微細パターンを形成するのであるが、エッティング深さが深くなる程、加工精度が損なわれる傾向があるため電子線散乱層を 10β を超えて厚くすることは好ましくない。

【0072】

上記構成17において、「膜材料密度」とは、パターン支持層あるいは電子線散乱層を構成する材料そのものの密度を意味する。

パターン支持層の場合、パターン支持層を電子が散乱することなく透過する確率は、次式で表される。

$$e^{-(Tt/\alpha)}$$

式中、 Tt はパターン支持層の膜厚、 α はパターン支持層における電子の平均自由行程をそれぞれ表す。また、 (Tt/α) は電子が 1 回散乱するための膜厚を表す。

膜材料密度が大きくなればなる程、平均自由行程 α は小さくなる。よって、所望の露光電子量を得るためににはパターン支持を電子が散乱することなく透過する確率 $e^{-(Tt/\alpha)}$ を高くするためにパターン支持層の膜厚を小さくする必要がある。

但し、構成 14 に規定した膜厚の範囲内 ($0.005 \mu m \sim 0.2 \mu m$) とする必要があるため、パターン支持層の膜材料密度の上限は $5.0 g/cm^3$ 、下限は $1.0 g/cm^3$ ということになる。

電子線散乱層の場合は、90%以上のビームコントラストを得るためにには数回以上の散乱回数が必要となるが、この場合材料密度により 1 回散乱するための膜厚は変化し、材料密度が大きくなる程膜厚は小さくできる。逆に、材料密度が小さくなる程膜厚は大きくなる。そして、上記と同様に、構成 14 に規定した膜厚の範囲内 ($0.2 \sim 2 \mu m$) とする必要があるため、電子線散乱層の膜材料密度の上限は $5.0 g/cm^3$ 、下限は $1.0 g/cm^3$ ということになる。

パターン支持層と電子線散乱層の双方の膜材料密度が上記の範囲であることにより、それぞれの膜が膜自立性をもつようになる。したがって、従来の S C A L P E L マスクのように、W、M o 等の金属製電子線散乱層を電子線透過層で支える構成とは異なり、本発明の場合、各層自体および層間でたわみ（撓み）を生じるおそれがない。

また、電子線散乱層をエッチングしてパターンを形成しても、たわみ変化量が小さいことによりパターン位置変化を招くおそれはほとんどない。

【0073】

上記構成 18 において、パターン支持層および電子線散乱層の弾性率がそれぞれ $0.8 \times 10^{11} Pa$ 未満であると、各々の膜の自立性が保持できず安定したマ

スクを得られない場合がある。

パターン支持層および電子線散乱層の双方の弾性率が $0.8 \times 10^{11} \text{ Pa}$ 以上であることが、マスク安定性の観点から好ましく、 $1.0 \times 10^{11} \text{ Pa}$ 以上であることがさらに好ましい。

【0074】

上記構成19において、パターン支持層の1ショットエリア内での膜厚のバラツキが設定膜厚に対して30%を超えていると露光電子量のバラツキが大きくなり、露光特性の低下を招くおそれがある。パターン支持層の膜厚のバラツキは±10%以下であることがより好ましい。

電子線散乱層の膜厚のバラツキが30%を超えていると、電子の散乱角の制御が困難となり補助露光が効果的に行うことができない場合がある。また、エッチングによるバーニングにおいて精度に影響を及ぼすおそれがある。電子線散乱層の膜厚のバラツキは±10%以下であることがより好ましい。

【0075】

上記構成20によれば、以下の効果が得られる。すなわち、上述したように、従来のSCALPELマスクのように、電子線散乱層が金属元素であるMo、W等を主成分としてなる材料からなる場合、それを支えるために最低必要な膜厚を有するパターン支持層(SiNなど)を必要とするが、それではパターン支持層におけるエネルギーロスや、エネルギー分散による色収差で解像度が低下してしまうという問題があった。しかし、構成20のように、電子線散乱層を「炭素元素及び/又は珪素元素を主成分としてなる材料」で構成することによって、パターン支持層の膜厚を小さくすることができ、上記問題を低減させることができる。

なお、「炭素元素及び/又は珪素元素を主成分としてなる材料」には、B、P、H、N、O、ハロゲンなどの1種又は2種以上が含まれている場合を含み、さらに、これらに加え又は単独で微量の金属元素等がドープされている場合を含む。

【0076】

ここで、「炭素元素を主成分としてなる材料」としては、膜材料密度が小さく

、かつ、ヤング率等の材料力学特性が大きくて、電子線散乱体を極力厚くできる材料構成で、加えて耐薬品性、照射耐性に優れ、さらにパターン精度の観点よりエッティング可能性に優れる材料であることが望ましい。さらに加えれば、帶電を考慮し、絶縁材料でないことが好ましい。この様な特性を満足する材料としては、例えば、ダイヤモンドやダイヤモンドライクカーボン（DLC）あるいは硬質カーボンなどが挙げられる。これらの膜は、窒素、ホウ素、ケイ素、リンなどを含むことができる。

また、「珪素元素を主成分としてなる材料」としては、例えば、アモルファスシリコン、多結晶シリコン、単結晶シリコン等が挙げられ、これらの材料は、それぞれBやPなどをドープしたものであってもよい。

【0077】

上記構成21においては、電子線散乱層をエッティングしてパターンを形成する際、電子線散乱層とパターン支持層との間にエッティングストッパー層を介在させることにより、パターン支持層がエッティングされるのを回避し、加工時のマージンを高めることができる。また、パターン形成後、パターン領域の膜応力バランスの調整を図りより安定なマスクを得ることも可能である。なお、パターン形成後、電子線散乱層の開口部から露出するエッティングストッパー層は除去しても除去しなくてもよい。

また、支持体を裏面側からエッティングする際、パターン支持層と支持体との間にエッティングストッパー層を介在させることにより、裏面側からパターン支持層がエッティングされるのを回避し、加工時のマージンを高めることができる。また、電子線散乱層にパターンを形成した後、パターン領域の膜応力バランスの調整を図りより安定なマスクを得ることも可能である。

なお、上記2種類のエッティングストッパー層は、同じ材料あっても異なる材料から構成してもよい。

【0078】

上記構成22において、エッティングストッパー層の膜厚が0.005μm未満であると十分なエッティングストッパー効果を期待できない。また、0.2μmを超えるとエッティングストッパー層自身の膜応力の作用によりパターン領域の撓み

を招くおそれがある。

【0079】

上記構成23において、エッティングストッパー層の膜材料密度の限定の理由は、上記構成17においてパターン支持層の膜材料密度を限定した理由と同様である。

【0080】

上記構成24においては、電子線散乱層とパターン支持層との間にエッティングストッパー層を介在させることにより、電子線散乱層をエッティングしてパターンを形成する際、パターン支持層がエッティングされるのを回避し、加工時のマージンを高めることができる。また、パターン形成後、パターン領域の膜応力バランスの調整を図りより安定なマスクを得ることも可能である。なお、パターン形成後、電子線散乱層の開口部から露出するエッティングストッパー層は除去しても除去しなくてもよい。

また、支持体を裏面側からエッティングする際、パターン支持層と支持体との間にエッティングストッパー層を介在させることにより、裏面側からパターン支持層がエッティングされるのを回避し、加工時のマージンを高めることができる。また、電子線散乱層にパターンを形成した後、パターン領域の膜応力バランスの調整を図りより安定なマスクを得ることも可能である。

なお、上記2種類のエッティングストッパー層は、同じ材料あっても異なる材料から構成してもよい。

【0081】

上記構成25において、各層の表面粗さ(R_a)を10nm以下に規定した理由は、これらの層の表面が粗れていると、電子線散乱パターン等のマスクパターンのエッジラフネス特性や、露光時に悪影響が生じるからである。

詳しくは、一つには、マスク作製時のレジストパターン形成において、レジスト層の下地となるこれらの層の表面が粗れていると、これらの層からの二次電子によりレジストパターンのエッジラフネス特性を低下させてしまうおそれがあり、ひいては、電子線散乱パターン等の側壁が粗れてマスクパターンのエッジラフネスに悪影響を与える。

もう一つには、パターン支持層（場合によりエッチングストッパー層を含む）は非常に薄い（50 nm程度）ため、5 nm、10 nmレベルの表面粗さは局所的な膜厚バラツキ要因となる。このような膜厚バラツキは、電子線散乱体部分での余計な電子散乱が生じ、電子線散乱体パターン部分での蓄積電荷効果により露光パターン形状の劣化を招く。

実転写時に露光量バラツキを5%以内に抑えるためには、1ショット内の露光電子分布を良くしなければならない。本発明の膜材料ではマスクへの入射電子のうち、約60~80%が露光電子として寄与する。残りの約3割はカットされる。例えば、パターン支持層の厚さ50 nmに対してその表面粗さが10 nmの場合、膜厚に対し約20%の膜厚バラツキに相当する。膜厚バラツキが大きいと、露光電子量割合のバラツキ、ひいては、実露光時の露光量バラツキが大きくなることになる。1ショット内の局所的バラツキは基本的には補正できないため、表面粗さの影響度は大きい。

このような各層の表面粗さの影響をより低減するためには、各層の表面粗さは、5 nm以下がより好ましく、2 nm以下がさらに好ましい。

電子線散乱パターンの線幅との関係では、エッチングストッパー層又はパターン支持層の表面粗さは、電子線散乱パターンの線幅の1/100以下とすることが好ましい。具体的には、例えば、電子線散乱パターンの線幅が0.2 μm以下である場合、エッチングストッパー層又はパターン支持層の表面粗さは、2 nm以下とすることが好ましい。これにより、上述した問題を回避できる。

パターン支持層、電子線散乱層の表面粗さは、例えば、パターン支持層、電子線散乱層をDLCで構成した場合、成膜方法や成膜条件を選択、制御することで、表面粗さ（Ra）を2 nm以下とすることができます。

パターン支持層は膜自立性を要求されるため、ヤング率が大きい材料で構成することが好ましい。例えば、ダイヤモンド膜は高ヤング率（500 GPa）である。しかし、ダイヤモンド膜は表面粗さを2 nm以下とすることは困難で、上述した表面粗さの影響を回避し難い。成膜後にダイヤモンド膜を研磨して平滑にすることも考えられるが、非常に硬い材料なので研磨効率が悪く、また、研磨を行ったとしても膜ダメージを受けやすく、実用性に乏しい。

なお、電子線散乱層でも余計な電子散乱が生じ、電子線散乱体パターン部分での蓄積電荷効果により露光パターン形状の劣化を招くため、その表面粗さは10 nm以下が好ましい。

【0082】

上記構成26によれば、各層の応力を、個々に、又はまとめて、熱処理（アニール）により、トータルの膜応力を低減することができる。

熱処理の際の雰囲気は、真空装置内で減圧処理した真空中、もしくは、真空排気した後、He、Ar等の不活性ガス、あるいは、H₂、N₂等の少なくとも1種類以上ガスを真空装置内に導入した雰囲気中が好ましい。

熱処理温度は、膜中水素濃度などにより適正な温度範囲が適宜選択されるが、DLCの場合にあっては、DLC成膜時の基板温度より200～450℃高い温度範囲が好ましい。

【0083】

上記構成27によれば、上記本発明のマスクブランクスを用いてマスク作製することで、構造特性、製法特性、リソグラフィー要求特性に優れた電子線描画用マスクが得られる。

【0084】

上記構成28によれば、パターン支持層および電子線散乱層の膜厚、膜材料密度弾性率を規定することで、構造特性、製法特性、リソグラフィー要求特性に優れた電子線描画用マスクが得られる。

【0085】

上記構成29によれば、支持体、パターン支持膜、及び電子線散乱体パターン層のうちの少なくとも一つが、主として炭素元素から構成される材料、特に DLCや硬質カーボンからなることによって、構造特性、製法特性、リソグラフィー要求特性に特に優れた電子線描画用マスクが得られる。

【0086】

上記構成30によれば、各層をこれらの材料で構成することによって、エッチング選択性の向上、言い換えればプロセスマージンの確保が容易になる。また、エッティングストッパー層を介して同種材料の積層構造となるため材料特性が近似

するため熱膨張係数、熱伝導率等を近似させられるため、熱的歪みなどに対してもバラツキを抑えることができる。さらに、エッティング条件等の加工条件を選択しやすくなる。

ここで、電子線散乱体パターンを構成するDLCには、B、N、Si、Pのうちの少なくとも一つをドープすることができ、これにより、DLCに導電性を付与でき、マスクチャージングの影響等を回避できる。電子線散乱体パターンを構成するDLCの膜厚は、300～700nm程度が好ましい。

エッティングストッパー層は、電子線散乱体パターンを構成するDLCを酸化性ガスでエッティングするため、酸化性ガスでエッティングされにくい材料で構成されていることをが好ましい。このような材料としては、SiC、TiC、TiN、アモルファスSi、Ti、Alなどが挙げられる。エッティングストッパー層の膜厚は、0.005～0.2μmが好ましく、10～20nm程度がより好ましい。なお、電子線散乱体パターンの下にエッティングストッパー層を残すに場合、電子線散乱体パターン形成後、露出しているエッティングストッパー層をエッティングにより除去すればよい。

パターン支持膜を構成するDLCには、B、N、P、Ti、Si、Alのうちの少なくとも1つをドープすることができ、これにより、DLCに導電性を付与でき、また引っ張り応力を付与できる。パターン支持膜を構成するDLCの膜厚は、30～80nm程度が好ましい。

なお、パターン支持膜を構成するDLC、及び、電子線散乱体パターンを構成するDLCに他元素をドープする方法としては、DLCを成膜した後にイオン注入法でドーピングする方法もあるが、この方法ではイオン注入の為の専用設備を導入する必要があり、プロセスの簡素化等の観点からは、DLC成膜時に他元素をドーピングする方法が好ましい。

なお、パターン支持膜を構成するDLC、エッティングストッパー層、及び、電子線散乱体パターンを構成するDLCは、連続成膜すると、パーティクルの低減化が図れるので好ましい。

また、パターン支持膜を構成するDLC、及び、電子線散乱体パターンを構成するDLCは、DLC中に水素が含まれないようにした成膜法（例えば、負イオ

ンビームスパッタ法、対向ターゲットスパッタ法、ECRスパッタ法などのスパッタ法)で成膜すると、熱伝導性が良好になる(熱伝導性の良い単結晶Siに比べても熱伝導性が良い)ので、好ましい。DLC中に水素が含まれてしまうと、ダイヤモンド結合の終端か終結(ターミネート)されてしまい、膜のネットワーク構造が途切れてしまい、その結果、熱伝導特性及びヤング率が低下するので好ましくない。

【0087】

上記構成31～35は、実施例のマスク構成を挙げたもので、構成31は実施例1のマスク構成、構成32は実施例2のマスク構成、構成33は実施例3のマスク構成、構成34は実施例4のマスク構成、構成35は実施例6のマスク構成、をそれぞれ示す。

なお、構成31、32、34、35において、主としてケイ素元素から構成される材料としては、例えば、アモルファスシリコン、多結晶シリコン、又は単結晶シリコン等が挙げられ、これらの材料は、それぞれBやPなどをドープしたものであってもよい。

【0088】

上記構成36では、電子線描画用マスクにおける、露光電子線の加速電圧に関する仕様を規定している。加速電圧の仕様が異なればマスクの要求特性も当然異なってくる。このような仕様を満たすマスクは、例えばSCALPELシステム等での高加速電圧下で使用できる。

【0089】

上記構成37によれば、構成27ないし36のいずれかに記載の電子線描画用マスクの表面側又は裏面側に、圧縮応力膜又は引張応力膜を形成する工程を有することによって、マスク作製後にパターン領域の応力バランスを制御することができる。

【0090】

上記構成38によれば、SIMOXウエハに裏面側よりウインド加工を施し、続いてSIMOXウエハ中のストッパーSiO₂層を選択的に除去した後、裏面側からの薄膜形成法によりパターン支持膜を形成する工程を有することによって

、パターン支持膜の厚さを自由に調整できる。また、ドライエッチング性に優れるSi単結晶層を電子線散乱体に用いることができる等の利点がある。

【0091】

上記構成39によれば、本発明の電子線描画用マスクを用いることによって、露光時のスループットが向上し、したがって、超高集積回路、半導体素子などの半導体装置の低価格化を実現できる。

【発明の実施の形態】

【0092】

本発明は、電子線散乱層およびパターン支持層の材料、密度、弾性率、膜厚等を最適化することを特徴とする。より具体的には、例えば、電子線散乱体、パターン支持膜、及びそれらの支持体から構成されるマスク構造において、電子線散乱体およびパターン支持膜が、低密度材料から構成され、材料力学特性（ヤング率等）が大きく、かつ、所定の膜厚関係を満たすことを特徴とする。これにより、露光電子の透過、散乱を制御すると共に、マスク（マスクブランクス）の膜安定化、露光時のスループットの向上等を達成する。

【0093】

上述のマスク構造において高加速電圧電子ビームに対する熱負荷を低減するためには低密度材料からなる電子線散乱体を採用し、電子線散乱体を2μm以下にし、照射電子の全てを透過させることが好ましい。また低密度、高弾性特性材料からなる電子線散乱体を0.2μm以上にすることにより自立可能な膜とすると共に、加工可能な厚さ制限下で極力電子線散乱体を厚くすることにより複雑なパターン部分（特にリーフパターンのパターン支え部）での断面二次モーメントを大きくすることによりパターン支え部の断面積（梁部面積）の小さいパターンでの撓み量を低減するものである。

【0094】

さらに電子線散乱層（電子線散乱体パターン）に部分的に接触する方法で、ヤング率等の材料力学特性が大きな超薄膜からなるパターン支持層（膜）を設けることにより、散乱体パターンにおけるリーフパターン等の局所的な撓みを低減すると共に、マスク高速動作下でのマスクフィールド耐久性を向上するものである

。即ち、電子線散乱層を自立膜とすることにより、リーフパターンやリングパターン形成部分のみを局的にパターン支持層で補強するものである。つまり、本発明のマスクにおけるパターン支持層は、パターン領域全体に形成するとしているが、電子線散乱体パターンを下方から局的かつ補助的に支える目的で設けられており、電子線散乱体パターン全体を支持する目的で設けられた従来の電子線透過層とは、目的及び要求特性が異なる。

但し、この場合にも先に述べたパターン支持層での電子散乱に伴う露光電子の低減、言い換えれば、パターン領域での相当量のエネルギー損失の点について懸念されるが、従来例で示される重金属を用いた散乱マスクでは散乱体パターン支持のためのパターン支持層の厚さに関しては、パターン支持層のみで重金属散乱体パターンを支持しなければならないため、パターン支持層の厚さ制限が伴い、この結果として弾性散乱や非弾性散乱を生じ、線源のエネルギー減少を生じると共に、エネルギーバラツキによる色収差が生じる。

本発明のマスクでは電子線散乱体全体の支持要因でのパターン支持層の膜厚に制限はなく、局的な小面積部分を支持するだけのため、従来の重金属散乱体マスクに比較し、さらなる薄膜化が可能である。本発明においてパターン支持層の膜厚を10～50nmとした場合、電子散乱に伴う露光電子損失を5～25%に低減することが可能である。したがって、露光電子損失が小さいステンシルマスクを用い、リングパターンやリーフパターンを展開するための相補形マスクを用いて所望パターンを形成する従来の方法よりも、高スループット化が可能であると見積もられる。加えて従来のSCALPELマスクに比べビームエネルギーのバラツキによる色収差の影響を低減することが可能となる。

【0095】

また、公表されている電子線散乱マスクやステンシルマスクではマスク支持柱を形成することによりマスクフィールドは小さく分割される。この分割によってマスクの機械的安定性と、放熱性向上による温度安定性を向上することができる。この場合、マスク支持柱はパターン領域エリアの確保のために極力垂直な形状であることが好ましく、この加工方法が幾つか提案されている（例えば特開平10-261584号公報）。しかし、本発明のマスク構造はこの様な垂直マスク

支持柱を有する標準的なマスク構造に制限を与えることなく、問題点を対策したことを特徴としている。

【0096】

その他の懸案例として、例えばパターン支持層または重金属からなる散乱体パターンあるいはその両方の層における膜応力の問題がある。この課題に対しては材料構成上、SiN等のメンブレン層応力を所定範囲の引張応力にコントロールしつつ、重金属散乱体層の応力を限りなくゼロにする必要があるが、この様なコントロールは非常にシビアである上、重金属からなる散乱体層ではエッチングによるパターン形成前後での応力変化が生じやすい。

本発明のマスク構造では、電子線散乱体パターンはリングパターンやリーフパターン以外で自立膜になるため、電子線散乱体パターン形成前後での、膜応力コントロールが重金属散乱体マスクと比較して容易になる。具体的には後述する。

【0097】

この様な材料構成による転写マスク構造を実用化するため最も重要な点は電子線散乱体層にパターン形成する、即ち高アスペクト比エッチング技術の確立が不可欠であることは言うまでもないが、本発明のマスク構造を可能にしたのは独自の深堀（トレンチ）エッチング技術確立を為し得たことによって成立する。

例えばSi材トレンチエッチングにおいては、高密度タイプエッチング装置の開発、エッチングパラメータの最適化、エッチングチャンバー材の適正化等により達成された。現在までに得られている特性としては、マスク上パターンサイズ0.2μmにおいて、深さ3.2μmまでの垂直エッチングを達成しており、本発明の要件（マスク特性）を満足するための基礎技術特性を得ている。

以下、実施例に記載する電子線散乱体材料は種々あるが、これら全ての材料において高いエッチング選択性を有し、高アスペクト比エッチングできることを付加しておく。

【0098】

【実施例】

本発明のマスクおよびマスクブランクスの構造例を図1～図4に示す。図1はマスクの構造例を示す断面図であり、（b）は（a）の部分拡大図である。図2

はマスクブランクスの構造例を示す断面図であり、2つの態様(a)と(b)を示した。図3はマスクの他の構造例を示す断面図であり、(b)は(a)の部分拡大図である。図4はマスクブランクスの他の構造例を示す断面図であり、2つの態様(a)と(b)を示した。これらの図において、5は電子線散乱層(電子線散乱体パターン)、6はパターン支持層(パターン支持膜)、3は支持体、7はエッティングストッパー層である。

なお、マスク材料は本発明のマスク特性を満たすものであれば如何なる材料でも構わないが、そのうちの代表的な材料構成例や作製例について記述する。

【0099】

(実施例1)

図8(1)に示すように、シリコン基板11上に、パターン支持層(膜)としてCVD法によりSiC層12を0.03μm形成し、このSiC層12上に電子線散乱層としてアモルファスシリコン(a-Si)層13をCVD法により0.7μm厚で形成した(図8(2))。続いて基板裏面よりドライエッティング法によりSiをエッティングし、パターン領域を支持する支持体(支持柱)14を形成した(図8(3))。

次に、a-Si層13上面よりリソグラフィー法(レジスト塗布、露光、現像など)により所望のパターン形状を有するレジストパターン15を形成した(図8(4))。

次に、a-Si層13を高密度プラズマエッティング法により高アスペクト比エッティング(深掘エッティング)した(図8(5))。この時のa-SiとSiCとのエッティング選択比(SR)は極力大きいことが好ましいが、本実施例ではa-Si/SiCのSRは約300と高い選択比でエッティングが可能であった。

最後に、不要層であるレジストパターン15を除去して、マスクを得た(図8(6))。

なお、パターン支持層であるSiC層12の表面粗さ(Ra)は4nm、電子線散乱層であるa-Si層13の表面粗さ(Ra)は3.3nmであった。

【0100】

上記材料構成からなるマスクでは、a-Siの膜弾性率は約 1.0×10^{11} (

Pa) であり、膜自立が可能な特性であった。また等方弾性率 4.5×10^{11} (Pa) のSiC層に支持されることにより、リーフパターンやリングパターンの形成も可能であった。

なお、この膜厚構成での100KeV下での露光電子損失は約21%であり、作製可能な膜厚構成の重金属散乱体マスクに比較し、露光電子損失が約1/3以下であることが示された。

【0101】

ここで、パターン支持層を形成せずに、電子線散乱層であるアモルファスシリコンのみで片支持状態の貫通孔パターンを形成した場合のパターン撓みについて考察してみる。アモルファスシリコン層を $2 \mu\text{m}$ 厚に設計し図7に示す縦横 $10 \mu\text{m}$ サイズのリーフパターンを想定する。この例では自立膜は自立するために必要な引張応力が作用しているものとし、その他の外的な力は作用していないものとする。なお、このパターンはアモルファスシリコン材で形成されているものとし、そのヤング率は文献値より 100GPa とした。

このパターンでのパターン先端で形成されるリーフパターン先端(☆印部分)での撓み変位を見積ると約 $3.8 \mu\text{m}$ であった。仮にパターン長が長手方向 10 倍になると、撓み変位は約 $38 \mu\text{m}$ にもなる。また、このパターンで撓み変位を低減するためにはパターンサイズと形状を変更できず、材料変更できなければ、厚さを増し支持部での断面二次モーメントを高くするしか方法はない。例えば撓み変位を $1 \mu\text{m}$ 以下にするためには、厚さを約 $10 \mu\text{m}$ にする必要がある。このような厚さになるとレチクルとして標準的な4倍マスク体として、仮に $0.1 \mu\text{m}$ スペックの素子パターンの露光を実現するためには、マスクパターンのエッティングにおいてアスペクト比 25 ($10 / (0.1 \times 4)$) のエッティングが必要となり、このようなエッティングの実現可能性や精度の観点よりマスク作製が非常に困難となる。

一方、本発明の方法により同サイズのリーフパターンを形成した場合、上記実施例の膜厚構成での撓み量を見積もると、電子線散乱体のリーフパターン部のみでは、パターン先端で約 $11 \mu\text{m}$ の撓み変位を生じてしまうが、高ヤング率材料のSiC薄膜層でリーフパターン部分を支持することにより、リーフパターンの

最大撓みを $1 \mu\text{m}$ 以下に低減可能となり、リーフパターン部での局所撓みの問題を解消できた。

【0102】

なお、本実施例では成膜法として CVD 法を使用したが膜形成法はこれに限らず、例えば各種スパッタ法、真空蒸着法、イオンプレーティング法等の本発明のマスク特性を満足する方法であれば如何なる成膜法でもよい。

またパターン領域を自立させるための裏面よりのウインド加工方法としてはドライエッティング法を用いたが、裏面加工の方法はこの方法に限らず、例えば目的や材料に合わせウェットエッティング法を採用してもよく、また超音波切削法を用いたり、超音波切削法とドライエッティング法あるいはウェットエッティング法を適宜組み合わせてもよい。

さらにベースとなる基板材もシリコンに限らず、本発明のマスク特性を極力満足する材料であれば構わない。

【0103】

本実施例では、マスク構成材料中に絶縁材料が含まれ、描画中にマスクが電荷を帯びること（マスクチャージング）の影響が懸念されるが、この懸念に対しては、特許第2857384号にも記載されているように、100KeV以上の高加速電子照射下でのマスク中に吸収されるエネルギーは $0.001\text{W}/\text{cm}^2$ 程度と非常に小さい、即ち照射電子のほぼ全てが透過することを意味するため、マスクが電荷を帯びることなく大きな問題とはなりにくい。もし万全を期す意味合いで帯電防止効果を付加したい場合には、同特許に示されるようにアモルファスカーボン等の低原子数の導電体でマスクを被覆（コーティング）するか、あるいは電子線散乱層に例えばボロン等をドーピングし導電性を持たせることもできる。

【0104】

（実施例2）

実施例2で作製するマスクは、電子線散乱層とパターン支持層との間にエッティングストッパー層を介在させた構造のマスクである。この構造の目的は、エッティングストッパー層によって、電子線散乱層のエッティング時に、パターン支持層が

エッティングされるのを阻止することを主目的としており、電子線散乱層とパターン支持層とのエッティング選択比が小さい場合に有効である。エッティングストッパー層を介在させる他の目的は、電子線散乱層とパターン支持層間での膜応力のアンバランスによりパターンフィールド部に撓みが生じ好ましくない場合に、エッティングストッパー層を加えることにより膜応力バランスを調整することである。このようにエッティングストッパー層に、応力調整機能を兼備させることが可能である。

【0105】

マスク作製例を以下に示す。

図9（1）に示すように、ベース基板としてSi層21（パターン支持層）が0.05μm、中間SiO₂層22が0.05μm、結晶方位（100）仕様のSIMOXウエハ23を用いた。ウエハ23上にCVD法により応力コントロールしたSiO₂（エッティングストッパー層）を0.02μm形成し（図示せず）、同SiO₂上に硬質カーボン層24（電子線散乱層）をスパッタ法により0.8μm厚で形成した（図9（2））。続いて硬質カーボン層24上にSiO₂層25（エチングマスク層）を0.05μm形成した（図9（2））。

その後、リソグラフィー法によりレジストパターン26を形成し（図9（3））、レジストパターン26をマスクとしてSiO₂層25をドライエッティング加工した（図9（4））。レジストパターン26を除去後、SiO₂パターンをマスクとして硬質カーボン層24に高密度プラズマ法によりトレンチエッティングを施した（図9（4））。

裏面側よりウエットエッティング法を用い、ウインド加工を施した後（図9（5））、BHF液により表面SiO₂層25、中間SiO₂層22を除去すると共にエッティングストッパーSiO₂層（図示せず）を選択的にエッティングすることにより、所望の構造を有するマスクを作製した（図9（6））。

なお、パターン支持層であるSi層21の表面粗さ（Ra）は0.1nm、エッティングストッパー層であるSiO₂層の表面粗さ（Ra）は1.3nm、電子線散乱層である硬質カーボン層24の表面粗さ（Ra）は1.1nmであった。

【0106】

この場合、Si層は引張応力、硬質カーボン層は力学特性を優先して形成すると圧縮応力になる。ここで、CVD法によるSiO₂層を常圧CVD法により形成することにより引張応力とし、3層で応力をコントロールすることにより平坦性の高いパターン領域を形成することができる。

【0107】

なお、本実施例では、基板にSIMOX、成膜法にCVD法を使用したが、基板や成膜法はこれに限らず、例えば基板に貼り合わせSOIウエハを用いたり、成膜法にスパッタ法の他、真空蒸着法、イオンプレーティング法等の本発明のマスク特性を実現可能な方法であれば如何なる成膜法でもよい。

また裏面よりのウインド加工方法としてはウエットエッティング法を用いたが、裏面加工法はこの方法に限らず、例えば目的に合わせ他のエッティング法を採用してもよく、また超音波切削法を用いたり、超音波切削法とドライエッティングあるいはウエットエッティング法を組み合わせてもよい。

更にベースとなる基板材や各層の材料も本実施例に記載した材料に限らず、本発明のマスク特性を極力満足する材料であれば構わない。

なお、実施例2の膜厚構成のマスクでは100KeV下での露光電子損失は約28%であり、作製可能な膜厚構成の重金属散乱体マスクに比較し、露光電子損失が約1/3以下であることが示された。

【0108】

(実施例3)

実施例3では、本発明のマスク特性を満足しつつ、マスク材として最適な材料構成およびマスク作製法に関して述べる。

マスク構造的に高強度および高い電子透過性を満足するためには、膜材料密度がより小さく、かつ、ヤング率等の材料力学特性が大きくて、電子線散乱体を極力厚くでき、パターン支持層の厚さを極力薄くできる材料構成で、加えて耐薬品性、照射耐性に優れ、さらにパターン精度の観点よりエッティング可能性に優れる材料であることが望ましい。さらに加えれば、帯電を考慮し、絶縁材料でないことが好ましい。

この様な特性を満足し、本発明のマスク特性をも満足する材料に関して以下記

述する。

電子線散乱体、あるいは、パターン支持層は、主として炭素から構成され、材料強度に優れる、ダイヤモンドやダイヤモンドライクカーボン（DLC）あるいは硬質カーボンで構成されることが好ましい。これらの膜は、窒素、ホウ素、ケイ素、リンなどを含むことができる。しかし、これらの膜は一般的なCVD法やスパッタ法で形成する場合、熱膨張係数や格子不整合性等より圧縮応力を有する膜が形成される。

【0109】

そこで開発したマスク構造およびその作製例を説明する。

図10（1）に示すように、基板31にはガラス状カーボンを採用した。この基板31の表裏にCVD法により β -SiC膜32を30nm厚で形成し、この β -SiC膜32上に窒素含有DLC膜33を0.7μm、エッティングマスク層として SiO_2 膜34を10nm形成した（図10（2））。ここで、真空、不活性、還元のいずれかの雰囲気下で熱処理を施し窒素含有DLC膜33の応力を選択的に引張りにコントロールした。なお、この場合、DLC膜と SiO_2 膜の接触により SiO_2 膜の還元やDLC膜の膜質変化が懸念される。これに関しては、DLC膜の熱処理を行った後に SiO_2 膜を形成する方法がある。

続いてレジストパターン35を形成後（図10（3））、上層側材料より選択的にドライエッティングを施し、パターン形成を行った（図10（4））。

次に、裏面側の β -SiC膜32をパターニングし、裏面側よりガラス状カーボン基板31にドライエッティング法によりウインド加工を施した（図10（5））。

最後に不要層を除去してマスクを作製した（図10（6））。

なお、実施例3の膜厚構成のマスクでは100KeV下での露光電子損失は約2.2%であり、作製可能な膜厚構成の重金属散乱体マスクに比較し、露光電子損失が約1/3以下であることが示された。

【0110】

本記実施例において、裏面側の β -SiC膜32は裏面加工のためのエッティングマスク層を意味し、30nm厚の表面側の β -SiC膜32はパターン支持層

、また、窒素含有DLC膜33は電子線散乱層である。

なお、パターン支持層である β -SiC膜32の表面粗さ(R_a)は3.8nm、電子線散乱層である窒素含有DLC膜33の表面粗さ(R_a)は1.6nmであった。

【0111】

本マスク構造でDLC層に窒素を導入したのはDLC膜抵抗を低減するためであり、DLC膜中に窒素を含むことにより膜抵抗を $1\Omega\cdot\text{cm}$ にすることが可能であり、マスクチャージングの影響を回避することを可能とした。

また、ベース材、電子線散乱体に主として炭素元素から構成される材料とすることにより、SiC材や SiO_2 材料等に対して100以上の極端に大きなエッティング選択性を有するエッティングが容易に可能となり、材料選択性が広がると共にマスク層やストッパー層を極端に薄くできるため、加工性の余裕度と共に限りなく理想的なマスク構造である。

【0112】

なお、本実施例では、成膜法にCVD法を使用したが、膜形成法はこれに限らず、スパッタ法の他、真空蒸着法、イオンプレーティング法等の本発明のマスク特性を満足する方法であれば如何なる成膜法でもよい。また、マスク材に関しても実施例で示す SiO_2 材やSiC等に限らず、使用目的および本発明のマスク特性を満足する材料であれば、如何なる材料でも構わない。

またパターン領域(マスクフィールド)を自立させるための裏面よりのウインド加工方法としてはドライエッティング法を用いたが、この方法に限らず、例えば超音波切削法を用いたり、超音波切削法とドライエッティング法等を適宜組み合わせてもよい。また、ウエットエッティング法を用いたり、ウエットエッティング法とドライエッティング法を組み合わせてもよい。

【0113】

(実施例4)

本実施例は成膜工程の削減を図ったものである。材料と作製例に関して述べる。

図11(1)に示すように、基板41としてSiウエハを用い、基板表面より

SIMOX基板作製法と類似のイオン注入法により炭素を注入すると共に減圧中の熱処理により、Siウェハ中の所望深さにパターン支持層となるSiC層42が50nm厚で形成されたものを使用した。本方法により成膜法を用いることなくマスクブランクスを作製した。

次に表面Si層43上にレジストパターン44を形成し(図11(2))、レジストパターン44をマスクとして0.35μm厚の表面Si層43をドライエッティング加工して、電子線散乱体パターンを形成した(図11(3))。続いて裏面よりウェットエッティング法によりウインド加工を施し(図11(4))、レジスト44を除去して目的とする構造を有するマスクを作製した(図11(5))。

なお、パターン支持層であるSiC層42の表面粗さ(Ra)は0.3nm、電子線散乱層であるSi層43の表面粗さ(Ra)は0.3nmであった。

なお、実施例4の膜厚構成のマスクでは100KeV下での露光電子損失は約37%であり、作製可能な膜厚構成の重金属散乱体マスクに比較し、露光電子損失が約1/3以下であることが示された。

【0114】

(実施例5)

本実施例は電子線散乱体を含めたパターン領域(薄膜部分)の膜応力コントロールを考慮したものである。材料と製法に関して述べる。

例えば実施例3において、各層を応力調整が施された成膜を行なった場合において、トレンチ(深掘)パターン形成前状態で膜応力バランスが調整され膜の自立性がコントロールされたとしても、パターン領域内でパターン密度が異なるトレンチパターン形成を行った場合、パターン密度の相違により散乱層応力が変化され、トレンチパターン形成前後でのパターン領域部分で反り変化を生じやすい。

この対策として、初期の膜形成時にパターン密度を考慮した膜応力特性を有する膜を形成することも可能であろうが、この場合、膜質との兼ね合いでコントロール性が難しいことが考えられる。この対策として、例えばパターン領域(薄膜部分)が凸方向に反りを生じている場合、パターン領域裏面側より圧縮方向に応

力を生じる材料、例えば、DLC薄膜を電子エネルギー損失に極力影響しない膜厚範囲で被覆することにより、容易にパターン領域の反りを調整することが可能である。

逆に凹方向に反りを生じている場合には、裏面側より調整する場合には引張応力膜を形成すればよく、表面側より調整する場合にはその逆である。

本方法によれば、パターン形成前後での薄膜層の反り変化に因し容易に対策することが可能である。また、パターン形成前後のみでなくマスク形成後に他の理由で生じた応力変化を低減できることを意味するものである。

【0115】

より具体的な実施例を以下に示す。

図15(1)に示すように、ガラス状カーボンからなる支持体3、SiC(膜厚40nm)からなるパターン支持膜6、DLC(膜厚550nm)からなる電子線散乱体パターン5、で構成されるマスクを用い、マスクの表面側よりアモルファスゲルマニウム(Ge)(膜厚10nm)からなる応力調整膜51(引張応力膜)を形成した。その結果、容易にパターン領域の応力を調整することが可能であった。

また、図15(2)に示すように、Siからなる支持体3、TiSi₂(膜厚55nm)からなるパターン支持膜6、BドープDLC(膜厚450nm)からなる電子線散乱体パターン5、で構成されるマスクを用い、マスクの裏面側よりTiC(膜厚12nm)からなる応力調整膜52(圧縮応力膜)を形成した。その結果、容易にパターン領域の応力を調整することが可能であった。

【0116】

(実施例6)

本実施例は裏面加工性の考慮と、パターン支持層の厚さに所定範囲で許容性を兼ね備えた作製法であり、歩留り向上と共に製作期間の短縮化を考慮したものである。材料と製法例に関して述べる。

図12(1)に示すように、基板として、Si層52(電子線散乱層)が0.6μm、中間SiO₂層51が0.05μm厚仕様の貼り合わせSOIウエハ53を用いた。

SOIウエハ上にエッティングマスク層として弱い引張応力のSiO₂層54を0.1μm形成した後(図12(2))、裏面側よりウインド加工を施した(図12(3))。

次に、ウインド加工時のエッティングストッパー層である中間SiO₂層51を選択的に除去した後(図12(4))、裏面側よりCVD法によりパターン領域一面にパターン支持体となるSiC層55を50nm厚形成した(図12(5))。次にこのマスクブランクスを用い転写パターン形成を行った。

まず、レジストパターン(図示せず)を形成後、このレジストパターンをマスクとしてSiO₂層54にエッティング法によりパターン転写した(図12(6))。続いてSiO₂層54をマスクに電子線散乱層であるSi単結晶層52にトレンチエッティング加工を施した(図12(6))。

更に不要となったドライエッティングマスク層であるSiO₂層54の除去を行い目的とするマスクを作製した(図12(7))。

なお、パターン支持層であるSiC層55の表面粗さ(Ra)は3.7nm、電子線散乱層であるSi単結晶層52の表面粗さ(Ra)は0.1nmであった。

本実施例において、成膜順番等に制約は無く、工程順を任意に変更しても構わない。また、パターン支持層の厚さは本発明のマスク特性を満足する範囲で、転写パターン密度等を考慮し容易に設定することができるため自由度が高くなる。

なお、実施例6の膜厚構成のマスクでは100KeV下での露光電子損失は約34%であり、作製可能な膜厚構成の重金属散乱体マスクに比較し、露光電子損失が約1/3以下であることが示された。

【0117】

上記実施例で使用した材料の密度、100keV下での電子平均自由行程、弾性率の値を表1に示す。

【0118】

【表1】

	密度 (g/cm ³)	100keV下での 電子平均自由行程	実施例での弾性率
アモルファスSi	2.1	0.22μm	1.0×10 ¹¹ Pa
SiC	3.1	0.15μm	4.5×10 ¹¹ Pa
Si	2.3	0.20μm	1.6×10 ¹¹ Pa
DLC(硬質カーボン)	1.9~3.5	0.24~0.13μm	0.8~11.0×10 ¹¹ Pa
SiO ₂	2.2	0.21μm	0.8×10 ¹¹ Pa

【0119】

(実施例7)

実施例7で作製するマスクは、電子線散乱層及びパターン支持層をDLCで構成し、電子線散乱層とパターン支持層との間にエッチングストッパー層を介在させた構造のマスクである。

DLCは成膜方法や成膜条件を選択、制御することで、アモルファス構造の表面粗さの小さい膜（例えば、表面粗さ（Ra）2nm以下）を形成することができ、この構造によれば、パターン支持層及び電子線散乱層の表面粗さを小さくできる。したがって、上記構成11で説明した表面粗さの影響をより低減することができる。また、DLCは成膜条件により密度、ヤング率を制御可能であるため、電子線散乱体の厚さ及びパターン支持層の厚さを所望の厚さに設定でき、加えて耐薬品性、照射耐性に優れ、さらにドライエッチングにより高精度のパターンを形成できるので好ましい。

【0120】

マスク作製例を以下に示す。

図16(1)に示すように、シリコン基板上にECR-スパッタ法によりDLC層61(パターン支持層)を30nm形成し、その上にCVD法により応力コントロールしたアモルファスSi層62(エッチングストッパー層)を20nm形成し、その上にECR-スパッタ法によりDLC層63(電子線散乱層)を400~700nmで形成し、その上にSiO₂層64(エッチングマスク層)を

30 nm形成した。

その後、リソグラフィー法によりレジストパターン65を形成し（図16（2））、レジストパターン65をマスクとしてSiO₂層64をドライエッチング加工し、続いて、レジストパターン65を除去後、SiO₂パターン64をマスクとしてDLC層63に高密度プラズマ法によりトレンチエッチングを施した（図15（3））。

裏面側よりウエットエッチング法を用い、ウインド加工を施した後（図16（4））、BHF液により表面SiO₂層64を除去して、所望の構造を有するマスクを作製した（図16（5））。

なお、パターン支持層であるDLC層61の表面粗さ（Ra）は1.6 nm、エッチングストッパー層であるアモルファスSi層62の表面粗さ（Ra）は1.1 nm、電子線散乱層であるDLC層63の表面粗さ（Ra）は1.8 nmであった。

【0121】

上記マスクにおいては、DLC層61は若干引張応力、DLC層63は若干引張応力とする。ここで、CVD法によるアモルファスSi層62をECR-CVD法により形成することにより若干圧縮応力とし、3層で応力をコントロールすることにより平坦性の高いパターン領域を形成することができる。

【0122】

なお、本実施例では、DLCの成膜法としてECR-スパッタ法を使用したが、成膜法はこれに限らず、例えば、成膜法にイオンビームスパッタ法（正イオンビームスパッタ法、負イオンビームスパッタ法を含む）、対向ターゲットスパッタ法（FTSスパッタ法）を用いることもできる。また、DLCの成膜法として、ECR-CVD法、RE-CVD法、光CVDなどのCVD等も用いることができる。

なお、実施例7の膜厚構成のマスクでは100KeV下での露光電子損失は約2.7%であり、作製可能な膜厚構成の重金属散乱体マスクに比較し、露光電子損失が約1/3以下であることが示された。

【0123】

(実施例8)

実施例8で作製するマスクは、電子線散乱層をB、N、Si、Pのうちの少なくとも1つをドープしたDLCで構成し、パターン支持層をB、N、P、Ti、Si、Alのうちの少なくとも1つをドープしたDLCで構成し、電子線散乱層とパターン支持層との間にエッティングストッパー層を介在させた構造のマスクである。

この構造によれば、実施例7のマスク構成の効果に加え、電子線散乱層及びパターン支持層にそれぞれ導電性を付与できるので好ましい。

【0124】

マスク作製例を以下に示す。なお、実施例8の工程は、実施例7の工程と同じであるので、図16を用いて説明する。

図16(1)に示すように、シリコン基板上に対向ターゲットスパッタ法によりSiを8%ドープしたDLC層61(パターン支持層)を20nm形成し、その上にマグネットロンスパッタ法により応力コントロールしたアモルファスSi層62(エッティングストッパー層)を10nm形成し、その上に対向ターゲットスパッタ法によりNを11%ドープしたDLC層63(電子線散乱層)を400~700nmで形成し、その上にSiO₂層64(エッティングマスク層)を0.05μm形成した。

その後、リソグラフィー法によりレジストパターン65を形成し(図16(2))、レジストパターン65をマスクとしてSiO₂層64をドライエッティング加工し、続いて、レジストパターン65を除去後、SiO₂パターン64をマスクとしてDLC層63に高密度プラズマ法によりトレンチエッティングを施した(図16(3))。

裏面側よりウエットエッティング法を用い、ウインド加工を施した後(図16(4))、BHF液により表面SiO₂層64を除去して、所望の構造を有するマスクを作製した(図16(5))。

なお、パターン支持層であるSiをドープしたDLC層61の表面粗さ(Ra)は0.9nm、エッティングストッパー層であるアモルファスSi層62の表面粗さ(Ra)は1.1nm、電子線散乱層であるNをドープしたDLC層63の

表面粗さ (R_a) は 1.6 nm であった。

【0125】

上記マスクにおいては、 Si をドープした DLC 層 61 は若干引張応力、 N をドープした DLC 層 63 はほぼ応力ゼロとする。ここで、マグнетロンスパッタ法によりアモルファス Si 層 62 をほぼ応力ゼロとすることにより、 3 層で応力をコントロールすることにより平坦性の高いパターン領域を形成することが容易にできる。

なお、実施例 8 の膜厚構成のマスクでは 100 KeV 下での露光電子損失は約 21 % であり、作製可能な膜厚構成の重金属散乱体マスクに比較し、露光電子損失が約 1/3 以下であることが示された。

【0126】

なお、本実施例では、 DLC の成膜法として対向ターゲットスパッタ法を使用したが、成膜法はこれに限らず、例えば、成膜法にイオンビームスパッタ法（正イオンビームスパッタ法、負イオンビームスパッタ法を含む）、 ECR-スパッタ法を用いることもできる。また、 DLC の成膜法として、 ECR-CVD 法、 RE-CVD 法、光 CVD などの CVD 等も用いることができる。

【0127】

（実施例 9）

上記実施例 1 ~ 8 で作製した電子線描画用マスクを用いて、 150 keV 、 100 keV 、 50 keV 、 30 keV 、の露光電子線の加速電圧下で、それぞれ露光テストを実施したところ、露光電子損失量は少なく、リーフパターンやリングパターン部分の強度も十分であった。そして、いずれの加速電圧下においても、電子の透過と散乱が制御され、ビームコントラストは 90 % 以上であり、電子の散乱を制御でき、色収差の影響を低減でき、露光時間を短縮化でき、被露光基板上に高精度にパターン転写を行うことができた。なお、これらのマスクは、 50 keV 以上で使用できることから、例えば SCALPEL システム等での高加速電圧下で使用できる。

【0128】

以上実施例を挙げて説明したが、本発明は上記実施例の範囲に限られるもので

はない。

例えば、実施例1～8においても行程順は最終目的となるマスク構造を満足するものであれば特に順番は問わない。また、エッティングマスクにレジスト等の有機材料や SiO_2 のような無機材料および金属材料など如何なる材料を用いてもよい。

【0129】

また、電子線散乱体材料やパターン支持層材料は本発明のマスク特性を満足する材料であればよく、例えば記載例の他、窒化硼素(BN_x)、窒化炭素(CNx)、窒化チタン($TiNx$)、焼化インジウム(InP)や窒化ガリウム(GaN_x)等の化合物半導体材料、チタンシリサイド($TiSi_x$)等のシリサイド化合物、炭化チタン(TiC)等の炭化物、Bドープ Si (111)、 $TiBx$ などのホウ化物など、耐薬品性、エッティング加工性、成膜性等の要求特性を満足すれば如何なる材料でも構わない。エッティングストッパー層としては記載例の他、 Si 、 Ti 、 $TiCNx$ 、 $TiSi_x$ などを用いてもよい。

【0130】

さらに、マスクブランクス(マスク作製用基板)に関して言えば、上記実施例に示される途中状態、例えば、実施例1の各成膜を行った基板や成膜後にウインド加工を行ったもの等は全てマスクブランクスのうちに含まれる。

また、パターン形成前の基板状態で、エッティングのためのエッティングマスク層や、エッティングストッパー層を形成した基板もマスクブランクスのうちに含まれる。

これらのマスクブランクスにおいては、表裏面からエッティング加工を行うことから、マスク作製途中で表裏面にアライメントマークを形成しておく必要がある。アライメントマークの形成法は例えばエッティング法による段差パターンや成膜法によるマーク形成などが考えられる。またマーク形状は表裏のアライメントができる材料であれば特に問わない。

【0131】

以上説明したように、本発明のマスクは、マスク構造特性、製法特性を満足した上で、以下に示すリソグラフィーにおける要求特性を満足する。

被覆光基板上でのビームコントラストに関して本発明のマスク構造では、例えば実施例に示す種々のマスク構造、マスク構成材料において、いずれも85%以上のビームコントラストが得られている。

また、従来のマスク公表例（例えばSCALPELマスク）で困難であったパターン支持層のさらなる薄膜化を達成したことにより描画時のエネルギー損失を従来提案されていメンブレンマスクに比較し1/2~1/4に低減することを可能にした。このことにより色収差の影響を低減化し、電子クーロン効果に制約される電流値制限を少なくしたことにより、ステンシルタイプの相補形マスクを用いて露光した場合と実質的な露光時間を比較した場合、本発明マスクを用いた露光形態が約1.1~1.6倍程度の高速露光が可能である。

【0132】

【発明の効果】

本発明のマスクによれば、電子の透過と散乱が制御され、ビームコントラストが良好で、電子の散乱を制御でき、露光電子の損失が少なく、色収差の影響を低減でき、露光時間を短縮化できる。

本発明のマスクは、構造特性に関しては、膜自立が可能で、撓みがなく平坦で、リーフパターンやリングパターンが形成でき、膜応力の調整ができ、マスクとしたときの強度や安定性に優れる。

本発明のマスクブランクスは、トレンチ（深堀）エッチング（高アスペクト比エッチング）が可能で、エッチング選択比も十分大きな値がとれ、加工精度も高く、優れた製法特性を有する。

また、本発明によれば、優れたマスク構造およびマスク作製方法の確立が図られ、リソグラフィー特性を向上させ超高集積回路の製造が可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施例に係るマスクの構造を示す断面図であり、(b)は(a)の部分拡大図である。

【図2】

本発明の一実施例に係るマスクブランクスの構造を示す断面図である。

【図3】

本発明の他の実施例に係るマスクの構造を示す断面図であり、(b)は(a)の部分拡大図である。

【図4】

本発明の他の実施例に係るマスクブランクスの構造を示す断面図である。

【図5】

ステンシルマスクにおける貫通孔パターンを説明するための平面図である。

【図6】

ステンシルマスクにおける片持ち形状のパターンを説明するための平面図である

【図7】

片持ち形状のパターンを示す斜視図である。

【図8】

本発明の一実施例に係るマスクの製造過程を示す断面図である。

【図9】

本発明の一実施例に係るマスクの製造過程を示す断面図である。

【図10】

本発明の一実施例に係るマスクの製造過程を示す断面図である。

【図11】

本発明の一実施例に係るマスクの製造過程を示す断面図である。

【図12】

本発明の一実施例に係るマスクの製造過程を示す断面図である。

【図13】

ステンシルマスクの構造を示す断面図である。

【図14】

SCALPELマスク(電子線散乱マスク)の構造を示す断面図である。

【図15】

本発明の一実施例に係るマスクの製造過程の一部を示す断面図である。

【図16】

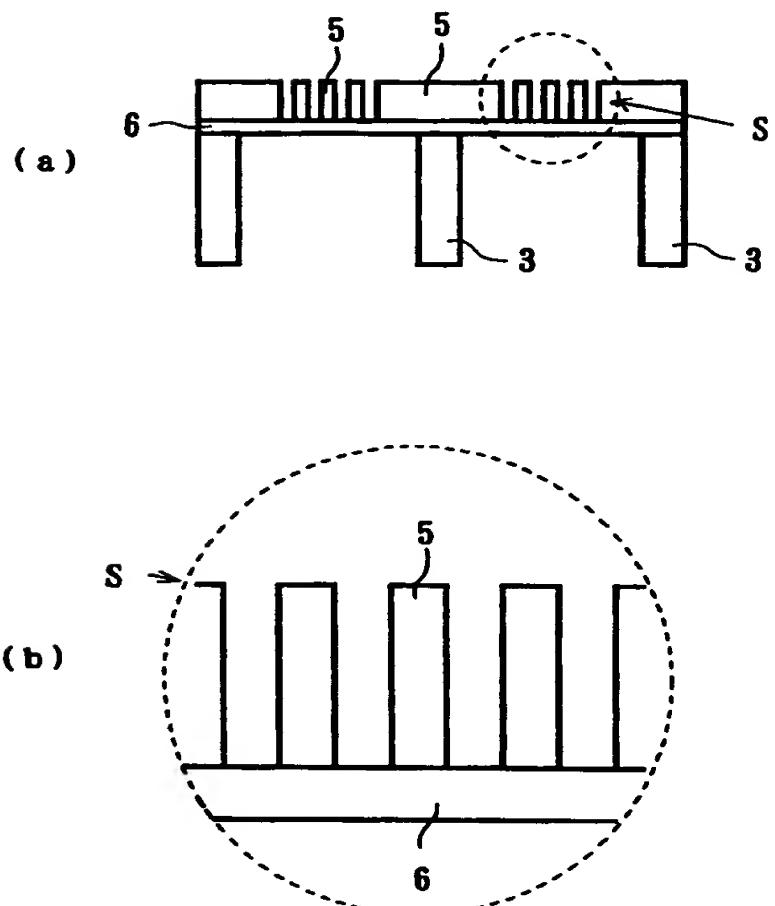
本発明の一実施例に係るマスクの製造過程を示す断面図である。

【符号の説明】

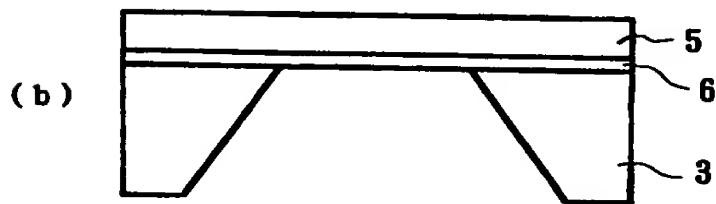
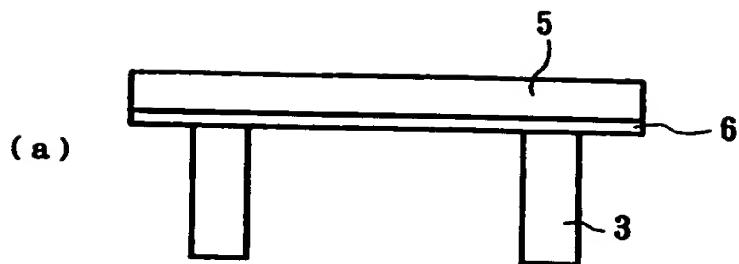
- 1 貫通孔
- 2 アパーチャ体
- 3 支持体
- 4 パターン支え部
- 5 電子線散乱層（電子線散乱体パターン）
- 6 パターン支持層（パターン支持膜）
- 7 エッチングストッパー層

【書類名】図面

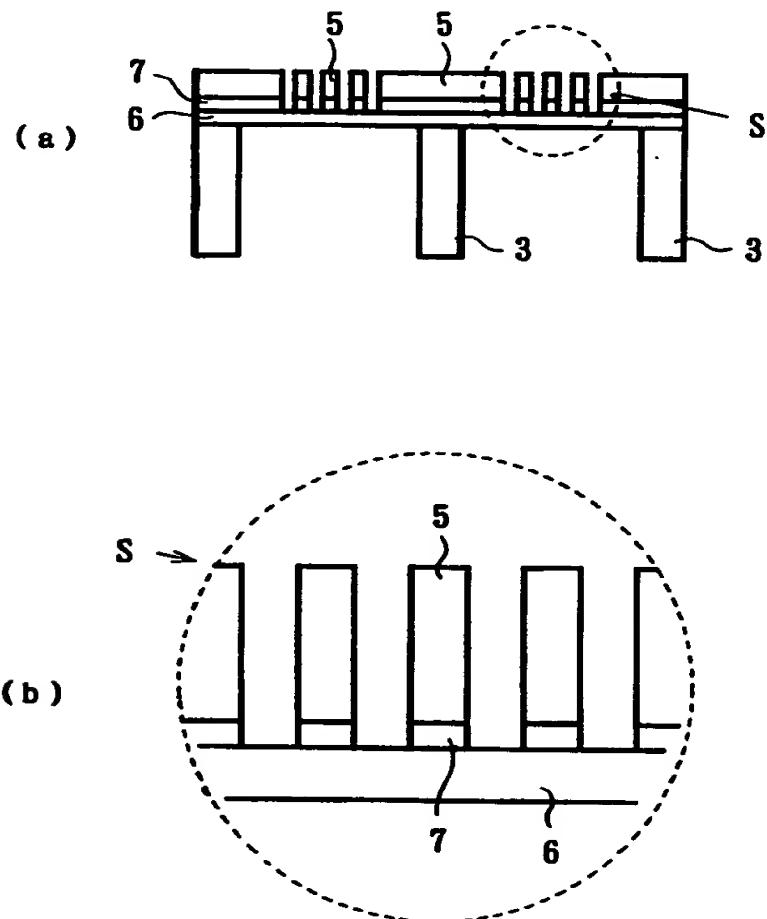
【図1】



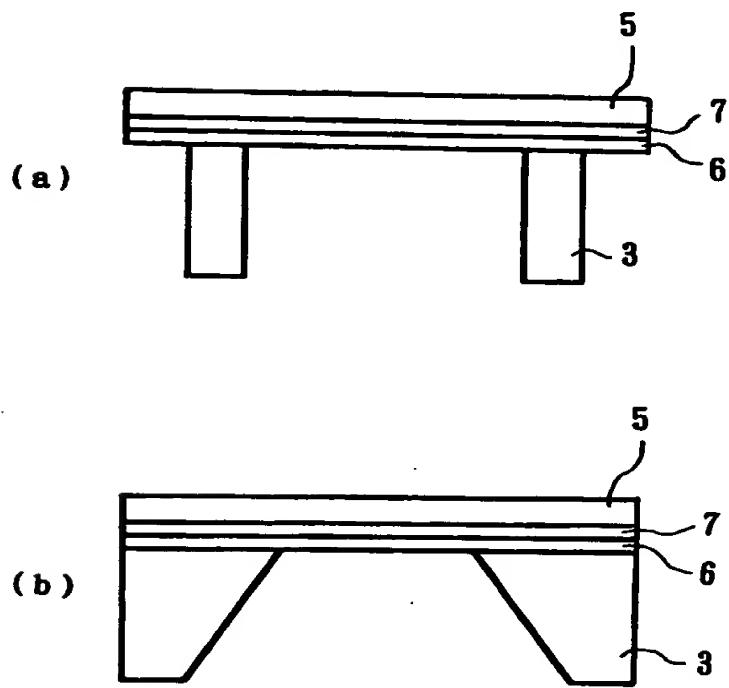
【図2】



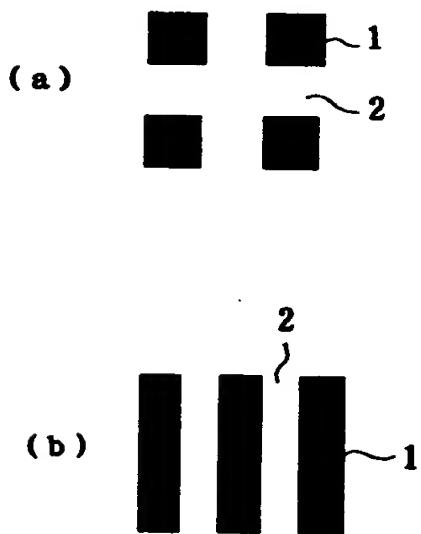
【図3】



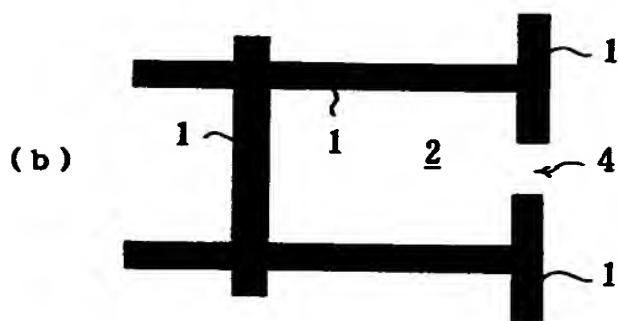
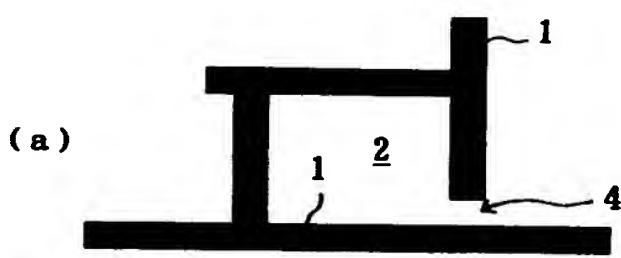
【図4】



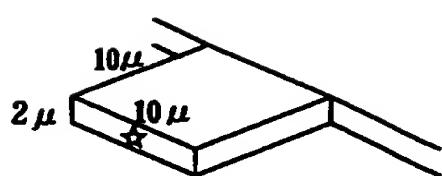
【図5】



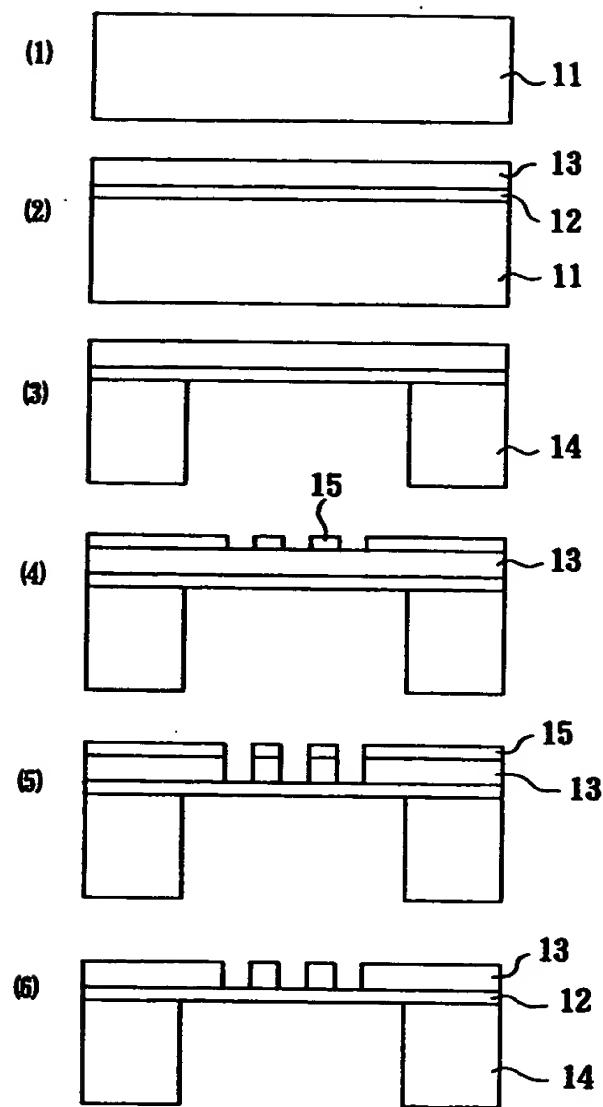
【図6】



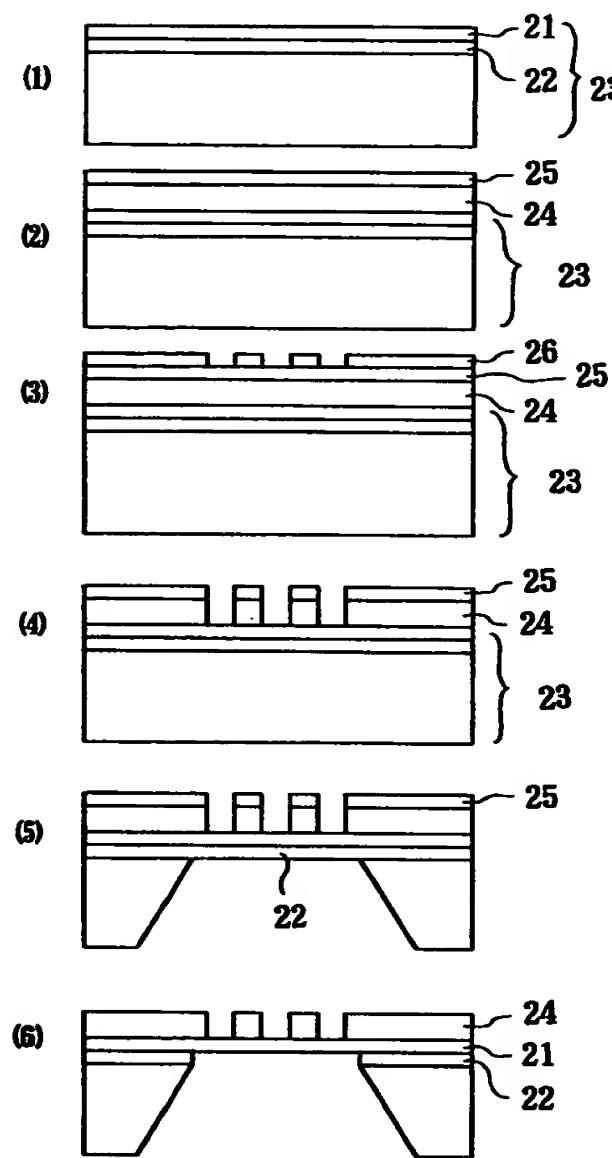
【図7】



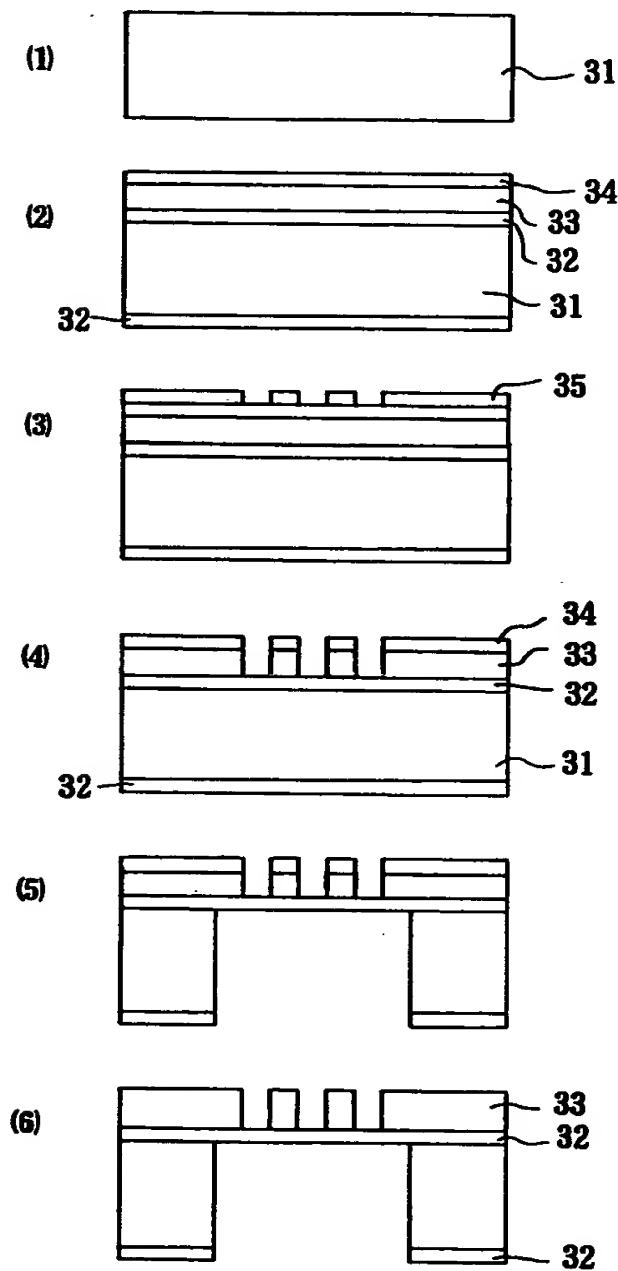
【図8】



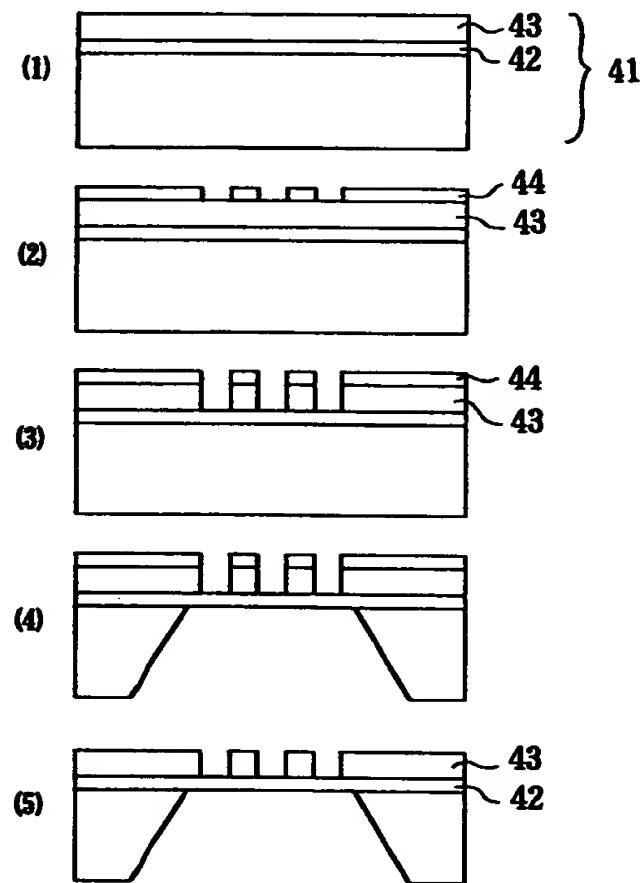
【図9】



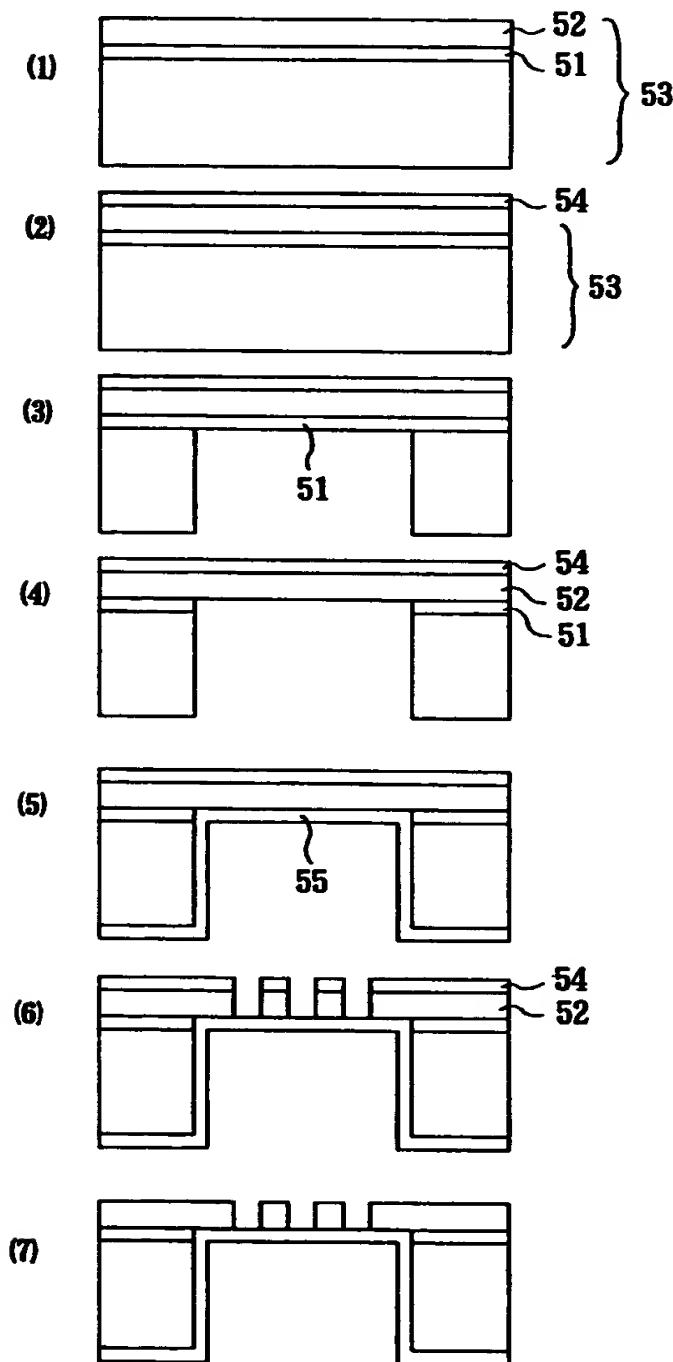
【図10】



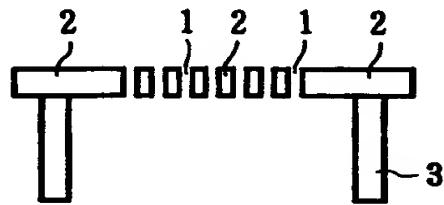
【図11】



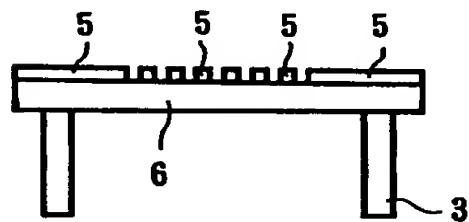
【図12】



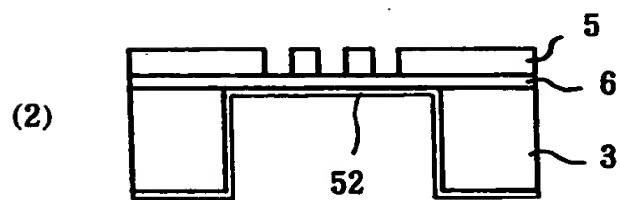
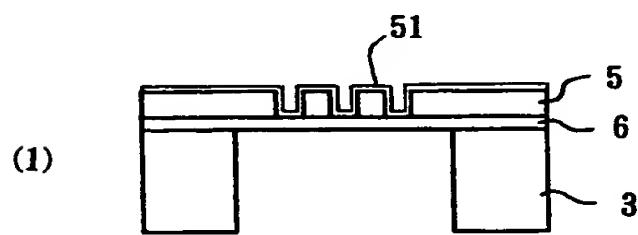
【図13】



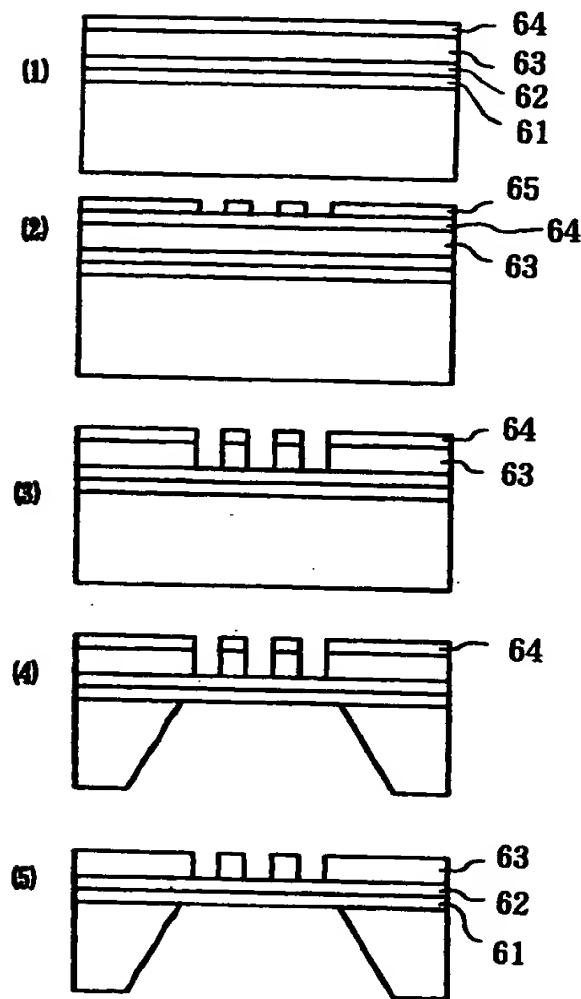
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 電子の透過と散乱が制御され、ビームコントラストが良好で、露光電子の損失が少なく、色収差の影響を低減でき、露光時間を短縮化できる電子線描画用マスク等を提供する

【解決手段】 電子線を透過するパターン支持膜6と、前記パターン支持膜上に形成された電子線散乱体パターン5と、前記パターン支持膜6および前記電子線散乱体パターン5を支持する支持体3とを有する電子線描画用マスクにおいて、

前記パターン支持膜6について、膜厚が $0.005\text{ }\mu\text{m} \sim 0.2\text{ }\mu\text{m}$ であり、膜材料密度が $1.0 \sim 5.0\text{ g/cm}^3$ であり、弾性率が $0.8 \times 10^{11}\text{ Pa}$ 以上であって、かつ、

前記電子線散乱体パターン5について、膜厚が $0.2 \sim 2\text{ }\mu\text{m}$ であり、膜材料密度が $1.0 \sim 5.0\text{ g/cm}^3$ であり、弾性率が $0.8 \times 10^{11}\text{ Pa}$ 以上であることを特徴とする電子線描画用マスク。

【選択図】 図1

認定・付加情報

特許出願の番号 特願2000-156726
受付番号 50000654093
書類名 特許願
担当官 第五担当上席 0094
作成日 平成12年 5月31日

<認定情報・付加情報>

【提出日】 平成12年 5月26日

次頁無

出願人履歴情報

識別番号 [000113263]

1. 変更年月日 1990年 8月16日

[変更理由] 新規登録

住 所 東京都新宿区中落合2丁目7番5号

氏 名 ホーヤ株式会社